

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321222

(43)Date of publication of application : 08.12.1995

(51)Int.Cl. H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 07-097158 (71)Applicant : INTERNATL BUSINESS
MACH CORP <IBM>

(22)Date of filing : 21.04.1995 (72)Inventor : ISMAIL KHALED E

STERN FRANK

(30)Priority

Priority number : 94 246549

Priority date : 20.05.1994

Priority country : US

(54) CMOS TRANSISTOR LOGIC CIRCUIT USING STRAIN SI/SIGE HETERO
STRUCTURE LAYER

(57)Abstract:

PURPOSE: To enable both an n-type device and a p-type device to be formed as a common planar structure, by forming a semiconductor layer receiving a tensile strain and a semiconductor layer receiving a compressive strain on a semiconductor substrate.

CONSTITUTION: A field effect transistor has a planar hetero structure 22

composed of a plurality of layers 23. The planar hetero structure 22 consists of a first ease Si_{1-x}Ge layer 34 of a Ge molar fraction (x) in a range of 0.2-0.5, an Si layer 32 receiving a tensile strain, a thin ease layer SiGe layer 40, and an SiGe layer 30 receiving a compression strain and having a Ge molar fraction (y) in a range of 0.5-1.0. In this case, y-x is larger than 0.2. The Si layer 32 receiving the tensile strain acts as an n-type channel for an n-type field effect transistor, and the SiGe layer 30 receiving the compressive strain acts as a p-type channel for a p-type field effect transistor. Therefore, the n-type device and p-type device can be utilized as a common planar structure.

LEGAL STATUS [Date of request for examination] 28.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2994227

[Date of registration] 22.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 22.10.2003

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the layer structure for both n mold field-effect transistor and p mold field-effect transistors A semi-conductor substrate and the 1st relaxation Si1-xGex layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd n dope Si1-xGex layer by which epitaxial formation was carried out on said 1st

layer, The 3rd non-doping Si_{1-x}Gex layer by which epitaxial formation was carried out on said 2nd layer, The 4th layer which has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys, and epitaxial formation is carried out on said 3rd layer, and receives a tension strain, The range of the 5th relaxation Si_{1-x}Gex layer by which epitaxial formation was carried out on said 4th layer, and the germanium molar fraction y is 0.5 thru/or 1.0, and y-x is larger than 0.2. By it Layer structure which consists of the 6th Si_{1-y}Gey layer which receives a compressive strain, the 7th relaxation Si_{1-x}Gex layer by which epitaxial formation was carried out on said 6th layer, the 8th silicon layer by which epitaxial formation was carried out on said 7th layer, and the 9th dielectric material layer formed on said 8th layer.

[Claim 2] Furthermore, layer structure according to claim 1 characterized by including the 10th polish recon layer which was formed on said 9th dielectric material layer, and was patternized by lithography in order to form a gate electrode.

[Claim 3] Furthermore, layer structure according to claim 2 characterized by including p mold field from said 6th layer to said 8th layer in the both sides of at least one gate electrode in order to form p mold field-effect transistor.

[Claim 4] Furthermore, layer structure according to claim 2 characterized by including the source field and drain field of p mold which are located in said 2nd

layer at least.

[Claim 5] Furthermore, layer structure according to claim 2 characterized by including n mold field from said 4th layer to said 8th layer in the both sides of at least one gate electrode in order to form n mold field-effect transistor.

[Claim 6] Furthermore, layer structure according to claim 2 characterized by including the source field and drain field of n mold which are located in said 4th layer at least.

[Claim 7] Furthermore, layer structure according to claim 3 characterized by including n mold field from said 4th layer to said 8th layer in the both sides of at least one gate electrode in order to form n mold field-effect transistor.

[Claim 8] Furthermore, layer structure according to claim 7 characterized by including a means to interconnect said gate electrode, said p mold field, and said n mold field in order to form a CMOS logical circuit.

[Claim 9] In the planar semi-conductor structure which forms an electronic carrier channel and an electron hole carrier channel Two or more semiconductor material layers which have the presentation chosen from the group which consists of a single crystal substrate, silicon, germanium, silicon germanium, and those alloys and which were formed on said substrate, and a tension strain are received. By it Inside [it is said layer which makes a conduction band lower than Fermi level] receives the 1st layer and a compressive strain at least. By it

In order [of said layers which make a valence band higher than Fermi level] to pass said 1st layer of said layers for the 2nd layer and a current at least, Two or more n mold fields of said layers located in said 1st layer at least, and planar semi-conductor structure characterized by having two or more p mold fields of said layers located in said 2nd layer at least in order to pass said 2nd layer of said layers for a current.

[Claim 10] Have a source field and a drain field and the electron mobility in a channel sets to a high field-effect transistor. A semi-conductor substrate and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 1st layer, The 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 2nd layer, It has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys. Epitaxial formation is carried out on said 3rd layer, receive a tension strain, and as the duplex degenerate conduction band whose electron mobility of a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K, and 4-fold degenerate conduction band The field-effect transistor characterized by having the gate electrode formed on the 4th layer which divides a conduction band, said source field located in said 4th layer at least and said

drain field, the 5th dielectric material layer formed on said 4th layer, and said 5th layer.

[Claim 11] Have a source field and a drain field and the electron mobility in a channel sets to a high field-effect transistor. A semi-conductor substrate and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer in which the range of the germanium molar fraction y is 0.5 thru/or 1.0, $y-x$ is larger than 0.2, and a compressive strain is received, consequently an electron hole is confined and by which epitaxial formation was carried out on said 1st layer, Said source field located in said 2nd layer at least, and said drain field, The field-effect transistor characterized by having the gate electrode formed on the 3rd silicon layer by which epitaxial formation was carried out on said 2nd layer, the 4th dielectric material layer formed on said 3rd layer, and said 4th layer.

[Claim 12] Furthermore, the field-effect transistor according to claim 1 characterized by including the 5th $\text{Si}_{1-z}\text{Ge}_z$ layer by which epitaxial formation was carried out between said 2nd layer the range of whose germanium molar fraction z is 0.20 thru/or 0.5, and said 3rd layer.

[Claim 13] In the approach of forming layer structure equipped with both n mold field-effect transistor and p mold field-effect transistor The step which chooses a

semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial formation of the 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer on said 1st layer, The step which carries out epitaxial formation of the 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer on said 2nd layer, The step which has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys, and epitaxial formation is carried out and receives a tension strain on said 3rd layer and which forms the 4th layer, The step which carries out epitaxial formation of the 5th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer on said 4th layer, The step which forms the 6th $\text{Si}_{1-y}\text{Ge}_y$ layer which the range of the germanium molar fraction y is 0.5 thru/or 1.0, and $y-x$ is larger than 0.2, and receives a compressive strain, The approach containing the step which carries out epitaxial formation of the 7th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer on said 6th layer, the step which carries out epitaxial formation of the 8th silicon layer on said 7th layer, and the step which forms the 9th dielectric material layer on said 8th layer.

[Claim 14] Furthermore, the approach of forming the layer structure according to claim 13 characterized by including the step which is formed on said 9th dielectric material layer, and forms the 10th polish recon layer patternized by lithography in order to form a gate electrode.

[Claim 15] Furthermore, the approach of forming the layer structure according to claim 14 characterized by including the step which forms p mold field from said 6th layer to said 8th layer in the both sides of at least one gate electrode in order to form p mold field-effect transistor.

[Claim 16] Furthermore, the approach of forming the layer structure according to claim 14 characterized by including the step which forms the source field and drain field of p mold which are located in said 2nd layer at least.

[Claim 17] Furthermore, the approach of forming the layer structure according to claim 14 characterized by including the step which forms n mold field from said 4th layer to said 8th layer in the both sides of at least one gate electrode in order to form n mold field-effect transistor.

[Claim 18] Furthermore, the approach of forming the layer structure according to claim 14 characterized by including the step which forms the source field and drain field of n mold which are located in said 4th layer at least.

[Claim 19] Furthermore, the approach of forming the layer structure according to claim 15 characterized by including the step which forms n mold field from said 4th layer to said 8th layer in the both sides of at least one gate electrode in order to form n mold field-effect transistor.

[Claim 20] Furthermore, the approach of forming the layer structure according to claim 19 characterized by including the step which interconnects said gate

electrode, said p mold field, and said n mold field in order to form a CMOS logical circuit.

[Claim 21] In the approach of forming the planar semi-conductor structure which forms an electronic carrier channel and an electron hole carrier channel The step which chooses a single crystal substrate, silicon, germanium, and silicon germanium, In order to pass said 1st layer of said layers, the step which forms two or more KOMENSHU rate semiconductor material layers which have the presentation chosen from the group which consists of those alloys, and which were formed on said substrate, and a current In order to pass said 2nd layer of said layers, the step which forms two or more n mold fields of said layers located in said 1st layer at least, and a current Said step which forms two or more KOMENSHU rate layers receives a tension strain further including the step which forms two or more p mold fields of said layers located in said 2nd layer at least. By it The step of said layers which make a conduction band lower than Fermi level which forms the 1st layer at least, and a compressive strain are received. By it The approach characterized by what the step of said layers which make a valence band higher than Fermi level which forms the 2nd layer at least is included for.

[Claim 22] In the approach have a source field and a drain field and the electron mobility in a channel forms a high field-effect transistor The step which chooses

a semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial formation of the 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer on said 1st layer, The step which carries out epitaxial formation of the 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer on said 2nd layer, It has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys. Epitaxial formation is carried out on said 3rd layer, receive a tension strain, and as the duplex degenerate conduction band whose electron mobility of a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K, and 4-fold degenerate conduction band The step which divides a conduction band and which forms the 4th layer, and the step which forms said source field located in said 4th layer at least, and said drain field, The approach characterized by including the step which forms the 5th dielectric material layer on said 4th layer, and the step which forms a gate electrode on said 5th layer.

[Claim 23] In the approach have a source field and a drain field and the electron mobility in a channel forms a high field-effect transistor The step which chooses a semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial

formation of the 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer in which the range of the germanium molar fraction y is 0.5 thru/or 1.0, $y-x$ is larger than 0.2, and a compressive strain is received, consequently an electron hole is confined on said 1st layer, The step which forms said source field and said drain field in said 2nd layer at least, The approach characterized by including the step which carries out epitaxial formation of the 3rd silicon layer on said 2nd layer, the step which forms the 4th dielectric material layer on said 3rd layer, and the step which forms a gate electrode on the 4th layer.

[Claim 24] Furthermore, the approach of forming the field-effect transistor according to claim 23 characterized by including the step which carries out epitaxial formation of the 5th $\text{Si}_{1-z}\text{Ge}_z$ layer the range of whose germanium molar fraction z is 0.20 thru/or 0.5 between said 2nd layer and said 3rd layer.

[Claim 25] Layer structure according to claim 1 characterized by including p mold field under the field of n mold transistor in order that said 1st layer may prevent the parasitic current in said 1st layer or below said 1st layer further.

[Claim 26] Layer structure according to claim 1 characterized by including n mold field under the field of p mold transistor in order that said 1st layer may prevent the parasitic current in said 1st layer or below said 1st layer further.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to p mold and n mold field-effect transistor of high performance which are manufactured as hetero structure which included the silicon layer and silicon germanium layer which were made distorted in the detail about CMOS for very-large-scale-integration (ULSI) circuits.

[0002]

[Description of the Prior Art] The improvement in the engine performance of Si-CMOS device which forms the most important configuration unit in a logical circuit application is very important. Specifically, high speed and low power consumption, and miniaturizations are indispensable requirements for a future ULSI chip. One main factor which controls the high-speed engine performance is that the mobility of a hole is low in Si. Moreover, it is necessary to expose a device including the gate (0.1 microns thru/or 0.15 microns) using electron beam RISOGURAFU or X ray lithography. Such techniques are more complicated compared with optical lithography, and expensive. [both] Furthermore, on a scale of the, control of the dependability of a device and a threshold electrical potential difference and the problem of the yield become more remarkable.

Although it is fully equal to Si technique, if the ingredient system which has a property superior to Si is chosen, the output-delay product of CMOS will improve. The engine performance which excelled the engine performance or it similar to 0.15-micron Si-CMOS in 0.25-micron gate length can be attained, therefore it is thought that the gate can be exposed with optical lithography.

[0003] An example of the ingredient system which is equal to Si technique is indicated by U.S. Pat. No. 5019882 which was transferred to these people who entitle "Germanium Channel Silicon MOSFET" and which was published on May 28, 1991. The channel which has the improved carrier mobility is equipped with the alloy layer of silicon and germanium which grows on a silicon substrate in U.S. Pat. No. 5019882. This alloy layer is maintained by sufficient thinness for making suitable pseudomorph non-rearrangement growth perform. A silicon layer is formed on this alloy layer, it oxidizes partially and a dielectric layer is formed. A gate field is formed on a silicon dioxide.

[0004] The complementary-type electric-field transistor which has the superstructure made distorted is indicated by U.S. Pat. No. 5155571 published on October 13, 1992. By U.S. Pat. No. 5155571, 1-x layer of $G_{ex}Si(s)$ which n mold made distorted are used for p mold transistor, and the silicon CMOS transistor structure where increased the mobility of a hole and it was made in agreement with the mobility of the electron in n mold transistor by it is indicated.

Furthermore, the complementary-type modulation dope electric-field transistor which increased the hole mobility in p mold transistor using Si layer and the GeSi alloy layer which were made distorted, and Si layer or 1-GeSi alloy layer made distorted which increased the electron mobility in n mold transistor using Relaxation GeSi 1-x, and made coincidence distorted is indicated. The field for p mold transistors and the field for n mold transistors are separate fields containing the channel which consists of structure different, respectively.

[0005] A silicon crystal layer and a silicon germanium mixing crystal layer are perpendicularly changed with the same presentation and film pressure, and n mold transistor and p mold transistor which were formed on the substrate are indicated by the JP,63-308966,B (a) number published on December 16, 1988 by making only high impurity concentration of the structure under a gate electrode into a different thing.

[0006] The heterojunction bipolar transistor which has an emitter equipped with the silicon epitaxial layer which grows on a silicon germanium base layer is indicated by U.S. Pat. No. 5006912 published on April 9, 1991. A grid strain seems for the active region of a transistor to consist of the semi-conductor which has silicon / silicon germanium strain grid, and to bring about valence-band offset predetermined by the emitter base joint, maintaining KOMENSHU rate growth. The advantage of a grid strain is increasing the effective mobility of the

electron in the base. The germanium content of a silicon germanium base layer is in 12% thru/or 20% of range.

[0007] It has high carrier mobility and other examples of the field-effect transistor suitable for high-speed operation are indicated by U.S. Pat. No. 5241197 published on August 31, 1993. In U.S. Pat. No. 5241197, in order to give a compressive strain to a germanium layer, the control layer made distorted under a germanium layer is prepared, the presentation of a strain-controlled layer is used, and a compressive strain is generated. The carrier mobility in the germanium layer made distorted is high.

[0008]

[Problem(s) to be Solved by the Invention] A one division target of this invention is offering the layer structure which enables it to both form n mold device and p mold device as common planar structure.

[0009] Other purposes of this invention are offering both n mold device with which an activity channel's is not formed in a silicon-dioxide interface, the fall of mobility is prevented, and perpendicular electric field's increase, and p mold device.

[0010] Other purposes of this invention are offering p mold device with which it is near the gate and the lowness of the hole mobility in p mold channel is compensated by it rather than n mold device with which p mold channel's

corresponds.

[0011] Both other purposes of this invention are that an electron and an electron hole utilize a strain (it is [in the case of an electron] a compressive strain in the case of a tension strain and an electron hole), and offer division, and more advanced n mold device and more advanced p mold device with which it shuts up and profits are obtained from a barrier of a band.

[0012] Other purposes of this invention are offering a low source drain electrical potential difference, for example, n mold device which has high mobility rather than it enables actuation by about 1.5 V, and p mold device.

[0013] Other purposes of this invention are offering n mold device and p mold device which can be designed so that it may have an almost symmetrical threshold electrical potential difference to both an electron and an electron hole.

[0014] Other purposes of this invention have very low measurement defect density, for example, are offering the epitaxial layer structure for forming n mold device and p mold device which are [cm] 2 1000 pieces /in the number of etch pits.

[0015] Other purposes of this invention are offering both the gate ingredients common to a single and processing steps for the gates of n mold field-effect transistor and p mold field-effect transistor.

[0016] Other purposes of this invention are offering the pad SiGe channel which

receives a compressive strain for the pad Si channel or SiGe channel which receives a tension strain in the case of p mold device in the case of n mold device.

[0017]

[Means for Solving the Problem] The 1st relaxation Si_{1-x}Ge_x layer in which epitaxial formation was carried out by this invention on the semi-conductor substrate and the substrate the range of whose germanium molar fraction x is 0.20 thru/or 0.5, The 2nd n dope Si_{1-x}Ge_x layer by which epitaxial formation was carried out on the 1st layer, There are few 3rd non-doping Si_{1-x}Ge_x layers by which epitaxial formation was carried out on the 2nd layer, and germanium molar fractions z than x by which epitaxial formation was carried out on the 3rd layer. By it The 4th silicon layer or Si_{1-z}Ge_z layer which receives a tension strain, The 5th relaxation Si_{1-x}Ge_x layer by which epitaxial formation was carried out on the 4th layer, The 6th Si_{1-y}Ge_y layer which the range of the germanium molar fraction y is 0.5 thru/or 1.0, and $y-x$ is larger than 0.2, and receives a compressive strain by it, The 7th relaxation Si_{1-x}Ge_x layer by which epitaxial formation was carried out on the 6th layer, The layer structure for said formation which may be the approach of forming both n mold field-effect transistor which consists of the 8th silicon layer by which epitaxial formation was carried out on the 7th layer, and the 9th dielectric material layer formed on the 8th layer, and p

mold field-effect transistor, and a flat surface is explained. The value of the germanium molar fraction x for each class is good in 0.20 thru/or 0.5, unless the tension strain or compressive strain in the layer specified an electron hole and for electrons is reversed. On the 8th layer, a metal layer or a polish recon layer can be formed and patternized, and the gate of n mold field-effect transistor and p mold field-effect transistor can be formed. Each drain field and source field of n mold transistor and p mold transistor can be formed by forming n mold field in the both sides of the gate in layer structure, forming n mold field-effect transistor, forming p mold field in the both sides of the gate in layer structure, and forming p mold field-effect transistor. n mold transistor and p mold transistor can be interconnected, and a CMOS logical circuit can be formed.

[0018] The 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer as for which epitaxial formation of a semi-conductor substrate and the germanium molar fraction x was further carried out by this invention on the substrate which is the range of 0.20 thru/or 0.5, The range of the germanium molar fraction y is 0.5 thru/or 1.0, and $y-x$ is larger than 0.2. By it The 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer in which a compressive strain is received, consequently an electron hole is confined, The 3rd silicon layer by which epitaxial formation was carried out on the 2nd layer, and the 4th dielectric material layer formed on the 3rd layer, It has the source, the drain, and the gate which consist of p field formed in the both sides of the gate electrode formed on

the 4th layer, and the gate electrode in the 2nd and 3rd layers, and the hole mobility in a channel offers a high approach and high p mold channel field-effect transistor.

[0019] The 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer by which, as for this invention, epitaxial formation of x was further carried out with the semi-conductor substrate on the substrate which is the range of 0.25 thru/or 0.5, The 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on the 1st layer, There are few 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layers by which epitaxial formation was carried out on the 2nd layer, and germanium molar fractions z than x by which epitaxial formation was carried out on the 3rd layer. By it Receive a tension strain and a conduction band is divided by it as the duplex degenerate conduction band whose electron mobility in a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K, and 4-fold degenerate conduction band. The 4th silicon layer or an $\text{Si}_{1-z}\text{Ge}_z$ layer, and the 5th dielectric material layer formed on the 4th layer, It has the source, the drain, and the gate which consist of n field formed in the both sides of the gate electrode formed on the 5th layer, and the gate electrode in the 3rd and 4th layers, and the electron mobility in a channel offers a high approach and a high n-type channel field-effect transistor.

[0020]

[Example] Next, when a drawing is referred to, drawing 1 shows the top view of

the field-effect transistors 10 and 11 which interconnected so that CMOS inverter 9 might be formed. The detailed outline circuit of CMOS inverter 9 is shown in drawing 5 .

[0021] A field-effect transistor 10 is good at n mold field-effect transistor which has the drain field 12 and the source field 14, and the gate electrode 16 of n die materials. A field-effect transistor 11 is good at p mold field-effect transistor which has the drain field 13 and the source field 15, and the gate electrode 17 of p die materials. A metal may also dope p die materials and polish recon is sufficient as the gate electrodes 16 and 17. The gate electrode 16 has the up front face 18, and the gate electrode 17 has the up front face 19. Field-effect transistors 10 and 11 are formed for example, on the semi-conductor substrate 20 as which silicon, germanium, silicon germanium, or those alloys are sufficient. A substrate 20 has a good up field with the wafer separated by the poured-in oxygen (SIMOX). A substrate 20 has the planar hetero structure 22 formed on the up front face 21 of the substrate 20 shown in drawing 2 . The planar hetero structure 22 is epitaxial to mutual, or changes from two or more layers 23 of a planar to the basic target which is a pseudomorph. The top layer 24 on the hetero structure 22 is good at dielectrics, such as a silicon dioxide which is exposed to atmospheric air and has the up front face 25.

[0022] Although field-effect transistors 10 and 11 were shown in drawing 1 , the

transistor of a large number, such as the field-effect transistor 6 of n mold or p mold thru/or 9, can be further formed on a substrate 20. The planar hetero structure 22 which changes from two or more layers 23 shown in the detail to drawing 2 is prolonged in the bottom of the gate electrode of all field-effect transistors, and exists also in the field between field-effect transistors. That is, the common planar hetero structure 22 is used to all transistors. The insulation between the selected transistors can be obtained by intercepting the conductivity of a layer 23 by forming a trench 28 by reactive ion etching through a mask etc. In order to cross a trench top or a trench in the trench 28 which can have the cross section of a square or a rectangle and to make it pass interconnect wiring, it can be filled up with the dielectrics 29, such as a silicon dioxide.

[0023] Drawing 2 is the sectional view which met the line 2-2 of drawing 1 . As shown in drawing 1 and 2, a substrate 20 has the up front face 21, and the planar hetero structure 22 which consists of the epitaxial-related layers 34, 36, 38, 32, 40, 30, 42, and 44 on an up front face is formed. On the planar hetero structure 22, the layer 24 which functions as the gate electrode 16 and a gate oxide for 17 is, and a thicker electric-field oxide can be formed in a gate inter-electrode field, or it can be made to adhere. With the planar hetero structure 22, the engine performance of a device is raised using a strain. The description of the proper of the planar hetero structure 22 is that a layer has a

plane up front face and a plane lower front face over the whole substrate, namely, neither etching nor alternative growth is needed for p mold field-effect transistor 11 or a PMOS device, and n mold field-effect transistor 11 or an NMOS device. The planar hetero structure 22 offers the medium which suits standard submicron Si-CMOS processing.

[0024] The threshold electrical potential difference of p mold field-effect transistor 10 and n mold field-effect transistor 11 can be adjusted by adjusting not doping like standard Si-MOS technique but the strain of the specific layer of the planar hetero structure 22. In addition to the voltage adjustment made to attain by the strain in a layer, the next threshold voltage adjustment by doping can also be used. The planar hetero structure 22 can attain the symmetrical threshold electrical potential difference of the range of 0.3V thru/or 0.5V by the same planar hetero mechanical design. For example, by using P+ polish recon gate, as the gate electrode 16 showed, both n mold field-effect transistor gate electrode 16 and p mold field-effect transistor gate electrode 17 can be formed in coincidence, therefore only 1 lithography step can be saved. The transconductance of n mold field-effect transistor 10 and p mold field-effect transistor 11 can also be designed so that it may become almost the same. p mold channel uses the planar hetero structure 22 which is in the near layer 30 with the gate electrodes 16 and 17 compared with an n-type channel, and the

almost same transconductance of n mold field-effect transistor and p mold field-effect transistor is attained by compensating the electron mobility in the n-type channel higher than the hole mobility in p mold channel in a layer 30 in a layer 32.

[0025] If drawing 2 is referred to, the relaxation SiGe buffer layer 34 whose germanium presentation is 20% thru/or 50% of range will be first grown up on the up front face 21 of a substrate 20. A buffer layer 34 can be changed into a relaxation condition without doping at first, and germanium can have [silicon] 30% of presentation at 70%.

[0026] After forming a layer 34, thickness forms p mold field 26 of the range of 100nm thru/or 200nm near the layer 34 a crowning or near it. It is the range of 1cm^{-2} thru/or $2 \times 10^{12}\text{cm}^{-2}$ under n mold device which the injection rate of the acceptor of activity should form continuously electrically, the related drain field 12, and the source field 14 of p mold field 26. A field 26 can be formed by the ion implantation and annealing following it. A field 26 can be formed with the mask patternized suitably. It functions as p mold field 26 barring that parasitic current flows the layer 34 or substrate 20 between the source contact of n mold transistor, and a drain contact.

[0027] Furthermore, after forming a layer 34, thickness forms n mold field 27 of the range of 100nm thru/or 200nm near the layer 34 a crowning or near it. It is

the range of 1cm^{-2} thru/or $2 \times 10^{12}\text{cm}^{-2}$ under p mold device which douse of Donna of activity should form continuously electrically, the related drain field, and source field of n mold field 27. A field 27 can be formed by the ion implantation and annealing following it. A field 27 can be formed with the mask patternized suitably. It functions as n mold field 27 barring that parasitic current flows the layer 34 or substrate 20 between the source contact of p mold transistor, and a drain contact.

[0028] In order to incurvate a valence band and a conducting sleeve so that the electronic transition in Si layer or the $\text{Si}_{1-z}\text{Ge}_z$ layer 32 which receives a tension strain will become desirable, the n dope relaxation SiGe thin layer 36 is grown up on the up front face of the relaxation layer 34.

[0029] It is that an electron and an electron hole are shut up as a result of the tension strain and compressive strain in each layer. The overall lattice constant in the flat surface on the up front face of a layer and the front face of lower is determined by the main presentations of the layer which is a layer 34 by drawing 2. Although the electronic channel layer 32 does not have germanium presentation at all, or its germanium presentation is low and it receives a tension strain, the electron hole channel layer 30 has high germanium presentation, and it receives a compressive strain. Since it has a big lattice constant only about 4% rather than the lattice constant of Si, pure germanium generates a strain.

[0030] In order to separate the dopant in a layer 36 from the Si layer 32 and to maintain high electron mobility in a layer 32, the thin relaxation non-doping SiGe layer 38 is grown up on n dope layer 36. A layer 38 can have the thickness of the range of 0nm thru/or 4nm. Si layer or the Si_{1-z}Ge_z layer 32 which works as an n-type channel for n mold field-effect transistors is grown up on a layer 38 in response to a tension strain. The thin relaxation SiGe layer 40 is grown up on Si layer or the Si_{1-z}Ge_z layer 32. Layers 38 and 40 can have the same presentation of silicon with the sufficient germanium in 20% thru/or 50% of range, and germanium. A tension strain is given to a silicon layer or the Si_{1-z}Ge_z layer 32, and the SiGe layers 38 and 40 are eased.

[0031] The SiGe layer 30 which works as a p mold channel for p mold field-effect transistors and which receives a compressive strain is grown up on a layer 40. In a layer 30, the presentation of germanium is 50% thru/or 100% of range, for example, is good at 80%.

[0032] In the alternative example, a layer 30 can attach inclination within a layer and can have the germanium content to which about 0.75 to about 0.5 germanium in the upper part of a layer in the lower part of a near layer decreases in number by the buffer layer 34. The strain with inclination in the layer 30 obtained as a result and the valence-band offset with inclination are assistance [interface / smoother than an up interface /

pars-basilaris-ossis-occipitalis] to position an electron hole to near more, consequently its mobility of an electron hole improves.

[0033] Other thin relaxation SiGe layers 42 are grown up on a layer 30. A layer 42 works so that it can have the same presentation as a layer 40, a strain may be given by the interface with a layer 30, and a valence band may be made to jump by it, consequently an electron hole may be confined in a layer 30. A layer 30 receives a compressive strain. The silicon cap layer 44 is grown up on a layer 42 so that the gate oxide which has good adhesion on the up front face of silicon cap layer 44 the very thing or all over an up front face may grow. Thickness (5nm thru/or 10nm) of the silicon-dioxide layer 24 is formed on 44 layers of silicon. Also making it grow up at the temperature of 6000C thru/or 7000C using high-pressure thermal oxidation can also make the silicon-dioxide layer 24 adhere at temperature lower than 6500C by chemical vacuum deposition. P+ polish recon gate 16 is grown up on a layer 24. P+ polish recon gate 16 may be a blanket layer at first, and subsequently, it can be patternized with lithography so that the gate may be formed. The gate 16 can be formed by using gate length (a perfect self-alignment process, 0.1 microns, or 0.25 microns), and using a nitride side-attachment-wall spacer, a silicide, or the metal coat of Salicide.

[0034] Layers 30 and 32 can have the thickness of the range of 3nm thru/or 7nm. The layer 40 between a layer 30 and a layer 32 can have the thickness of the

range of 0nm thru/or 5nm. Layers 36, 38, and 42 can have the thickness of the range of 3nm thru/or 5nm. The silicon layer 44 can have the thickness of the range of 0.5nm thru/or 1.5nm. A layer 44 serves as a parasitic current channel for n mold devices, when too thick. A layer 46 is good in 5nm thru/or 10nm.

[0035] If Si or Si_{1-z}Ge_z which receives a tension strain can be formed on a relaxation SiGe layer and the SiGe layer which receives a compressive strain can be formed on Relaxation Si and SiGe, both the conduction bands and valence bands of Si layer or the Si_{1-z}Ge_z layer 32, and the SiGe layer 30 can be changed remarkably. In Si layer or the Si_{1-z}Ge_z layer 32, the first 6-fold degenerate conduction band is divided as a duplex conduction band and 4-fold conduction band under a tension strain. (It has the amount of **** endoplasms)

The electron which moves the duplex band which descended has mobility much higher than standard Si and n-type channel field-effect transistor structure. With the duplex band which descended, this higher mobility is [300K] good 2000cm²/Vs thru/or 2500cm²/Vs, and 77K in the range of 10000cm²/Vs thru/or 15000cm²/Vs. On the other hand, n mold transistor of a conventional type has about 600cm²/Vs by 300K, and has the mobility of about 1500cm²/Vs by 77K.

The detailed argument on an electronic transition property coalesced in this specification by citation. "it is Electron transport properties of Si/SiGe heterostructure. : it is indicated by the publication it is [measurements and

device implications" (Appl.Phys.Lett.63 (5) August, 1993 / 2 or /, pp660, or 662)]
entitled.

[0036] The valence band of the SiGe layer 30 which receives a compressive strain is divided as a heavy electron hole band and ***** . Therefore, especially electron hole migration in an up valence band with a light amount about SiGe of a high germanium content, or movement of the electron hole which met the channel in pure germanium depending on the case The hole mobility which may become higher a single figure than a Si-p mold field-effect transistor is obtained. The hole mobility in the occupied electron hole band is the range of 600cm²/Vs thru/or 1100cm²/Vs in 300K, and is the range of 2000cm²/Vs thru/or 5000cm²/Vs in 77K. The silicon which is 4nm in thickness measures these range by 70% in the layer 30 in case germanium is 30% of presentation. A multiplier of 5 is [the measured mobility] higher than the case of a Si-p mold field-effect transistor.

[0037] Drawing 3 is a graph which shows the energy of the electron in the pars basilaris ossis occipitalis of the conduction band of a layer 32 as a function of the distance over the gate electrode 16 with the forward gate voltage V_g . An ordinate expresses the energy of the single electron in the pars basilaris ossis occipitalis of a conduction band with drawing 3 , and an abscissa expresses with it the distance of the perpendicular direction under the gate electrode 16 shown

in drawing 2 . The energy of a single electron is shown by the curve 56. The datum line 58 expresses the Fermi energy in a layer 32. As shown in drawing 3 , the curvilinear section 60 has the energy of the electron in a layer 32 lower than Fermi energy, therefore it is shown that an electron exists in the conduction layer 32. The curvilinear section 62 shows the curve of the conduction band by n mold doping in a layer 36. The curve 62 is not adjusted so that p mold field 26 may be reflected. The curvilinear section 64 shows the energy of the electron in the layer 44 which is a top silicon cap layer under an oxide layer 24. A layer 44 has electron mobility lower than the electron mobility of a layer 32 which has the electronic energy shown by the curvilinear section 60. In order for a current to prevent flowing the layer 44 which is a parasitism channel parallel to the n-type channel formed of the layer 32, electronic energy of the electron in a layer 32 should be made lower than the energy of the electron in a layer 44.

[0038] Drawing 4 is a graph which shows the energy of the electron in the crowning of the valence band of a layer 30 as a function of the distance of the perpendicularly it was shown in drawing 2 under the gate electrode 16 whose gate bias V_g is negative. An ordinate expresses the energy of the single electron in the crowning of a conduction band with drawing 4 , and an abscissa expresses the distance of the perpendicular direction to the gate electrode 16 with it. The energy of the electron in the crowning of a conduction band is shown

by the curve 70. The curve 70 is not adjusted so that p mold field 26 may be reflected. The datum line 72 expresses Fermi energy E_F in a valence band. The curvilinear section 74 is larger than the Fermi energy shown by the datum line 72, therefore corresponds to the electronic energy in the crowning of the value electronic band in a layer 30 which makes an electron hole conduct.

[0039] According to drawing 3 and drawing 4 , in the case of forward gate voltage, the electron supplied from the dope layer 36 conducts in a layer 32. When the gate electrode 16 has the negative electrical potential difference V_g , an electron hole conducts in a layer 30. Therefore, when a drain field and a source field interconnect all the layers 30, 32, 34, 36, 38, 40, 42, and 44, n mold field-effect transistor or p mold field-effect transistor can be formed by forming the drain field and source field of p mold or n mold in the each side of the gate electrode 16. If drawing 2 is referred to, by removing spatially the electronic transition in a layer 32, and the electron hole migration in a layer 30 by the silicon layer 44 and a layer 24 to the silicon-dioxide interface, dependability will increase, namely, the carrier impregnation to the silicon-dioxide layer 24 will be reduced, and an advantage with the increasing mobility in a high carrier consistency will be brought about. In the case of Si/SiO₂ interface 47, it turns out that it falls as a function of perpendicular electric field with which electronic mobility crosses an interface. however, with the proposed structure, electronic

mobility increases as an electronic function and the mobility of an electron hole is expected to be still about 1 law over the whole gate bias range V_g . The description of the proper of the planar hetero structure 22 is that adjustment of the threshold electrical potential difference of p mold field-effect transistor and n mold field-effect transistor and adjustment of the high electron mobility of n mold field-effect transistor and p mold field-effect transistor and the Takamasa hole mobility are attained by the layer sequence which uses the strain by the inequality of a grid. By the cap silicon layer 44, the chemical-vacuum-deposition (CVD) oxide well pasted up on a gate oxide or a layer 44 by thermal oxidation can be formed. With the planar hetero structure 22, mobility does not fall as a function of the perpendicular electric field from the electrical potential difference on the gate electrode 16. It is because an electron moves in a layer 32 and an electron hole moves in a layer 30. Can use single p+ polish recon gate for both p mold field-effect transistor and n mold field-effect transistor, and it is made to adhere, and can patternize to coincidence.

[0040] The planar hetero structure 22 can be used in case a high performance CMOS device is manufactured based on the Si/SiGe hetero structure made distorted. The planar hetero structure 22 can be used with the ULSI logical chip which operates with high frequency and low power consumption. It is a result with an average carrier rate high [the mobility of the electron in a channel 30 and

32 i.e., layers, and an electron hole], and high that a frequency becomes high.

Power consumption becomes low because horizontal electric field required to saturate a carrier rate are low.

[0041] Trenching between devices can attain the insulation between n mold field-effect transistor and p mold field-effect transistor. Reactive ion etching (RIE) can perform trenching. In the typical example, p mold field-effect transistor and n mold field-effect transistor carry out self-alignment to a gate electrode so that the source implant and drain implant which were grown up by the ion implantation may reach the edge of a gate electrode. Like a CMOS circuit, the drain of one device is connected to the source of the device of another side, and a basic block serves as an easy inverter by which both gates were connected mutually. Other logic gates can be constituted in NAND, NOR, a flip-flop, etc.

[0042] Reference of drawing 5 shows the outline circuit of CMOS inverter 9. The gate electrodes 16 and 17 are mutually combined through lead wire 77, in order to provide an inverter 9 with an input. The drain fields 12 and 13 of field-effect transistors 10 and 11 are mutually combined through lead wire 78, respectively, in order to offer an output. The source of a transistor 11 is combined through lead wire 79, in order to supply an electrical potential difference VDD. The source of a transistor 10 is combined through lead wire 80, in order to ground potential or other power sources. A transistor 10 has the n-type channel formed

in the layer 32, and a transistor 11 has p mold channel formed in the layer 30.

[0043] Drawing 6 is the top view of the 2nd example of this invention showing a field-effect transistor 82. A field-effect transistor 82 has the gate electrode 83, the drain electrode 84, and the source electrode 85. The field-effect transistor 82 is formed in drawing 7 as planar hetero structure 88 shown in the detail. Drawing 7 is the sectional view which met the line 7-7 of drawing 6 . In drawing 7 , the same reference mark as the structure and the function corresponding to drawing 1 and drawing 2 is used. Drawing 7 shows the sectional view of two or more layers 89 used for forming two or more n-type channel field-effect transistors. Here, in order to simplify drawing, only one field-effect transistor 82 is shown.

[0044] Drawing 7 shows n mold field-effect transistor 82 which is formed of the ion implantation to a layer 32, for example, aligns by it at the gate and which has the drain field 91 and the source field 92 of n mold. The semi-conductor substrate 20 has the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer 34 by which epitaxial formation was carried out on the up front face 21. Here, the range of x is 0.20 thru/or 0.5. Epitaxial formation of the 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer 36 is carried out on the layer 34. Before forming a layer 36, p mold field 26 can be formed in the bottom of the future drain field 91 and the source field 92, and it can protect the source field 92 or that its parasitic current flows from the drain field 91

conversely through a layer 34 or a substrate 20. Epitaxial formation of the 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer 38 is carried out on the layer 36. As for the $\text{Si}_{1-z}\text{Ge}_z$ layer 32 smaller than x , epitaxial formation of the 4th silicon layer or the germanium molar fraction z is carried out on the 3rd layer 38, the 4th layer 32 receives a tension strain by it, and a conduction band is divided by it as a duplex degenerate conduction band and 4-fold degenerate conduction band. Here, the electron mobility of a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K. The 5th dielectric material layer 24, such as a silicon dioxide, is formed in up front-face top 48 of the 4th layer 32. The gate electrode 83 is formed on the 5th layer 24. n mold fields 91 and 92 are formed in the both sides of the gate electrode 82 in a layer 32 as shown in drawing 7. Thin silicon layers, such as a layer 44, can be made to be able to intervene between a layer 32 and a layer 24, and a better interface with a layer 24 can be offered.

[0045] Drawing 8 is the sectional view which met the line 7-7 of drawing 6 which shows the 3rd example. In drawing 8, the same reference mark as the structure and the function corresponding to equipment of drawing 1, drawing 2, and drawing 6 is used. A field-effect transistor 96 is a thing of p mold which has the gate electrode 97, the drain electrode 98, and the source electrode 99. The drain electrode 98 contacts electrically the drain electrode 105 which is p mold, and the source electrode 99 contacts electrically the source field 106 which is p mold.

The drain field 105 and the source field 106 extend into a layer 30 through a layer 44. The drain field 105 and the source field 106 can align at the gate, and can be formed by the ion implantation. A field-effect transistor 96 has the high hole mobility between the source electrode 106 in a channel 100, and the drain electrode 105.

[0046] The field-effect transistor 96 is formed with the planar hetero structure 102 equipped with two or more layers 103. The field-effect transistor 96 is equipped with the semi-conductor substrate 20 and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer 34 by which epitaxial formation was carried out on the substrate 20. Here, the range of x is 0.20 thru/or 0.5. Epitaxial formation of the 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer 30 is carried out on the 1st layer 34. Here, the range of the germanium molar fraction y is 0.5 thru/or 1, it is larger than 0.2, the 2nd layer 30 receives a compressive strain, consequently an electron hole is confined in the 2nd layer by it. [of $1-x$] Epitaxial formation of the 3rd silicon layer 44 is carried out on the 2nd layer 30. The 4th dielectric material layer 24, such as a silicon dioxide, is formed on the 3rd layer 44. The gate electrode 97 is formed on the 4th layer 24. The drain field 105 and the source field 106 are formed in the both sides of the gate electrode 97 in the 2nd layer 30 and the 3rd layer 44. It can prevent forming a mold field 27 from the up front face of a layer 34 into the layer 34 under the drain field 105 and the source field 106, and parasitic current flowing between the

drain field 105 in a layer 34 or a substrate 20, and the source field 106. After n mold field 27 forms a layer 34, it can be formed by the diffusion or the ion implantation through a mask.

[0047] Although the planar hetero structure containing Si layer and the Si/germanium layer which were made distorted the approach for p mold field-effect transistor and n mold field-effect transistors, p mold field-effect transistor, and for n mold field-effect transistors was illustrated, it will become clear for correction and deformation to be possible, without deviating from the large range of this invention restricted to this contractor by only the attached claim.

[0048] As a conclusion, the following matters are indicated about the configuration of this invention.

[0049] (1) In the layer structure for both n mold field-effect transistor and p mold field-effect transistors A semi-conductor substrate and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 1st layer, The 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 2nd layer, The 4th layer which has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and

those alloys, and epitaxial formation is carried out on said 3rd layer, and receives a tension strain, The range of the 5th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 4th layer, and the germanium molar fraction y is 0.5 thru/or 1.0, and $y-x$ is larger than 0.2. By it Layer structure which consists of the 6th $\text{Si}_{1-y}\text{Ge}_y$ layer which receives a compressive strain, the 7th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 6th layer, the 8th silicon layer by which epitaxial formation was carried out on said 7th layer, and the 9th dielectric material layer formed on said 8th layer.

(2) Layer structure given in the above (1) further characterized by including the 10th polish recon layer which was formed on said 9th dielectric material layer, and was patternized by lithography in order to form a gate electrode.

(3) Layer structure given in the above (2) further characterized by including p mold field from said 6th layer to [the both sides of at least one gate electrode] said 8th layer in order to form p mold field-effect transistor.

(4) Layer structure given in the above (2) characterized by including the source field and drain field of p mold which are located in said 2nd layer further at least.

(5) Layer structure given in the above (2) further characterized by including n mold field from said 4th layer to [the both sides of at least one gate electrode] said 8th layer in order to form n mold field-effect transistor.

(6) Layer structure given in the above (2) characterized by including the source

field and drain field of n mold which are located in said 4th layer further at least.

(7) Layer structure given in the above (3) further characterized by including n mold field from said 4th layer to [the both sides of at least one gate electrode] said 8th layer in order to form n mold field-effect transistor.

(8) Layer structure given in the above (7) further characterized by including a means to interconnect said gate electrode, said p mold field, and said n mold field in order to form a CMOS logical circuit.

(9) In the planar semi-conductor structure which forms an electronic carrier channel and an electron hole carrier channel Two or more semiconductor material layers which have the presentation chosen from the group which consists of a single crystal substrate, silicon, germanium, silicon germanium, and those alloys and which were formed on said substrate, and a tension strain are received. By it Inside [it is said layer which makes a conduction band lower than Fermi level] receives the 1st layer and a compressive strain at least. By it In order [of said layers which make a valence band higher than Fermi level] to pass said 1st layer of said layers for the 2nd layer and a current at least, Two or more n mold fields of said layers located in said 1st layer at least, and planar semi-conductor structure characterized by having two or more p mold fields of said layers located in said 2nd layer at least in order to pass said 2nd layer of said layers for a current.

(10) Have a source field and a drain field and the electron mobility in a channel sets to a high field-effect transistor. A semi-conductor substrate and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 1st layer, The 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer by which epitaxial formation was carried out on said 2nd layer, It has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys. Epitaxial formation is carried out on said 3rd layer, receive a tension strain, and as the duplex degenerate conduction band whose electron mobility of a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K, and 4-fold degenerate conduction band The field-effect transistor characterized by having the gate electrode formed on the 4th layer which divides a conduction band, said source field located in said 4th layer at least and said drain field, the 5th dielectric material layer formed on said 4th layer, and said 5th layer.

(11) Have a source field and a drain field and the electron mobility in a channel sets to a high field-effect transistor. A semi-conductor substrate and the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 and by which epitaxial formation was carried out on said substrate, The 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer in which the range of the germanium molar fraction y is

0.5 thru/or 1.0, $y-x$ is larger than 0.2, and a compressive strain is received, consequently an electron hole is confined and by which epitaxial formation was carried out on said 1st layer, Said source field located in said 2nd layer at least, and said drain field, The field-effect transistor characterized by having the gate electrode formed on the 3rd silicon layer by which epitaxial formation was carried out on said 2nd layer, the 4th dielectric material layer formed on said 3rd layer, and said 4th layer.

(12) Field-effect transistor given in the above (1) characterized by including the 5th $\text{Si}_{1-z}\text{Ge}_z$ layer by which epitaxial formation was further carried out between said 2nd layer the range of whose germanium molar fraction z is 0.20 thru/or 0.5, and said 3rd layer.

(13) In the approach of forming layer structure equipped with both n mold field-effect transistor and p mold field-effect transistor The step which chooses a semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial formation of the 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer on said 1st layer, The step which carries out epitaxial formation of the 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer on said 2nd layer, The step which has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys, and

epitaxial formation is carried out and receives a tension strain on said 3rd layer and which forms the 4th layer, The step which carries out epitaxial formation of the 5th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer on said 4th layer, The step which forms the 6th $\text{Si}_{1-y}\text{Ge}_y$ layer which the range of the germanium molar fraction y is 0.5 thru/or 1.0, and $y-x$ is larger than 0.2, and receives a compressive strain, The approach containing the step which carries out epitaxial formation of the 7th relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer on said 6th layer, the step which carries out epitaxial formation of the 8th silicon layer on said 7th layer, and the step which forms the 9th dielectric material layer on said 8th layer.

(14) Approach which is formed on said 9th dielectric material layer, and forms the layer structure of a publication in the above (13) characterized by including the step which forms the 10th polish recon layer patternized by lithography further in order to form a gate electrode.

(15) How to form the layer structure of a publication in the above (14) further characterized by including the step which forms p mold field from said 6th layer to [the both sides of at least one gate electrode] said 8th layer in order to form p mold field-effect transistor.

(16) How to form the layer structure of a publication in the above (14) characterized by including the step which forms the source field and drain field of p mold which are located in said 2nd layer further at least.

(17) How to form the layer structure of a publication in the above (14) further characterized by including the step which forms n mold field from said 4th layer to [the both sides of at least one gate electrode] said 8th layer in order to form n mold field-effect transistor.

(18) How to form the layer structure of a publication in the above (14) characterized by including the step which forms the source field and drain field of n mold which are located in said 4th layer further at least.

(19) How to form the layer structure of a publication in the above (15) further characterized by including the step which forms n mold field from said 4th layer to [the both sides of at least one gate electrode] said 8th layer in order to form n mold field-effect transistor.

(20) How to form the layer structure of a publication in the above (19) characterized by including the step which interconnects said gate electrode, said p mold field, and said n mold field further, in order to form a CMOS logical circuit.

(21) In the approach of forming the planar semi-conductor structure which forms an electronic carrier channel and an electron hole carrier channel The step which chooses a single crystal substrate, silicon, germanium, and silicon germanium, In order to pass said 1st layer of said layers, the step which forms two or more KOMENSHU rate semiconductor material layers which have the presentation chosen from the group which consists of those alloys, and which

were formed on said substrate, and a current In order to pass said 2nd layer of said layers, the step which forms two or more n mold fields of said layers located in said 1st layer at least, and a current Said step which forms two or more KOMENSHU rate layers receives a tension strain further including the step which forms two or more p mold fields of said layers located in said 2nd layer at least. By it The step of said layers which make a conduction band lower than Fermi level which forms the 1st layer at least, and a compressive strain are received. By it The approach characterized by what the step of said layers which make a valence band higher than Fermi level which forms the 2nd layer at least is included for.

(22) In the approach have a source field and a drain field and the electron mobility in a channel forms a high field-effect transistor The step which chooses a semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial formation of the 2nd n dope $\text{Si}_{1-x}\text{Ge}_x$ layer on said 1st layer, The step which carries out epitaxial formation of the 3rd non-doping $\text{Si}_{1-x}\text{Ge}_x$ layer on said 2nd layer, It has the presentation chosen from the group which consists of silicon, germanium, silicon germanium, and those alloys. Epitaxial formation is carried out on said 3rd layer, receive a tension strain, and as the duplex degenerate

conduction band whose electron mobility of a duplex band is the range of $2000\text{cm}^2/\text{Vs}$ thru/or $2500\text{cm}^2/\text{Vs}$ in 300K, and 4-fold degenerate conduction band The step which divides a conduction band and which forms the 4th layer, and the step which forms said source field located in said 4th layer at least, and said drain field, The approach characterized by including the step which forms the 5th dielectric material layer on said 4th layer, and the step which forms a gate electrode on said 5th layer.

(23) In the approach have a source field and a drain field and the electron mobility in a channel forms a high field-effect transistor The step which chooses a semi-conductor substrate, and the step which carries out epitaxial formation of the 1st relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer the range of whose germanium molar fraction x is 0.20 thru/or 0.5 on said substrate, The step which carries out epitaxial formation of the 2nd $\text{Si}_{1-y}\text{Ge}_y$ layer in which the range of the germanium molar fraction y is 0.5 thru/or 1.0, $y-x$ is larger than 0.2, and a compressive strain is received, consequently an electron hole is confined on said 1st layer, The step which forms said source field and said drain field in said 2nd layer at least, The approach characterized by including the step which carries out epitaxial formation of the 3rd silicon layer on said 2nd layer, the step which forms the 4th dielectric material layer on said 3rd layer, and the step which forms a gate electrode on the 4th layer.

(24) How to form the field-effect transistor of a publication in the above (23) characterized by including the step which carries out epitaxial formation of the 5th Si_{1-z}Ge_z layer the range of whose germanium molar fraction z is 0.20 thru/or 0.5 between said 2nd layer and said 3rd layer further.

(25) Layer structure given in the above (1) characterized by including p mold field under the field of n mold transistor in order that said 1st layer may prevent the parasitic current in said 1st layer or below said 1st layer further.

(26) Layer structure given in the above (1) characterized by including n mold field under the field of p mold transistor in order that said 1st layer may prevent the parasitic current in said 1st layer or below said 1st layer further.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view of one example of this invention.

[Drawing 2] It is the sectional view which met the line 2-2 of drawing 1 .

[Drawing 3] It is the graph which shows the energy of the electron in the pars basilaris ossis occipitalis of a conduction band as a function of the distance over a gate electrode with the forward gate bias V_g .

[Drawing 4] It is the graph which shows the energy of the electron in the crowning of a valence band as a function of the distance over a gate electrode with the negative gate bias V_g .

[Drawing 5] It is the outline circuit of CMOS inverter 9 shown in drawing 1 .

[Drawing 6] It is the top view of the 2nd example of this invention.

[Drawing 7] It is the sectional view which met the line 7-7 of drawing 6 which shows the 2nd example.

[Drawing 8] It is the sectional view which met the line 7-7 of drawing 6 which shows the 3rd example.

[Description of Notations]

9 CMOS Inverter

10 Field-effect Transistor

12 Drain Field

14 Source Field

16 Gate Electrode

20 Semi-conductor Substrate

21 Up Front Face

22 Planar Hetero Structure

24 Top Layer

26 P Mold Field

27 N Mold Field

28 Trench

32 Si Layer or Si₁-ZGe₂ Layer Which Receives Tension Strain

34 Relaxation Layer

36 Thin N Dope Relaxation SiGe Layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321222

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

H 0 1 L 21/8238
27/092
29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 08

3 2 1 B

29/ 78

3 0 1 B

審査請求 未請求 請求項の数26 O L (全 14 頁)

(21) 出願番号 特願平7-97158

(22) 出願日 平成7年(1995)4月21日

(31) 優先権主張番号 2 4 6 5 4 9

(32) 優先日 1994年5月20日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ハーレド・イー・イスマーイール

エジプト カイロ ザマレク アブー・エ
ル・フェダー・ストリート 9

(74) 代理人 弁理士 合田 潔 (外2名)

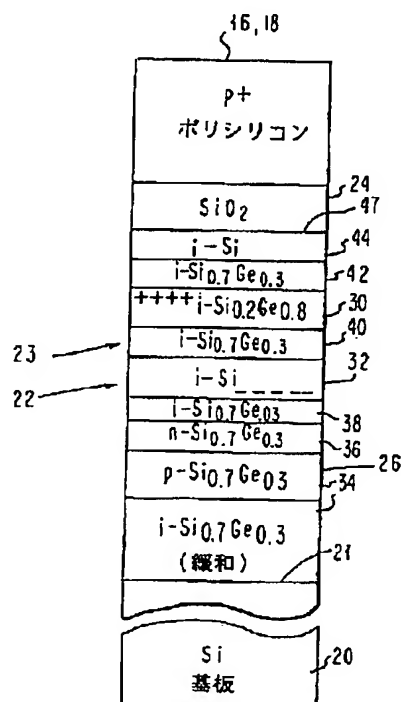
最終頁に続く

(54) 【発明の名称】 ひずみ Si / Si Ge ヘテロ構造層を使用する CMOS トランジスタ論理回路

(57) 【要約】

【目的】 n 型デバイスと p 型デバイスを共に共通のプ
レーナ構造として利用できる層構造を提供する。

【構成】 半導体基板上に複数の半導体層を備え、1つ
の層が、引張りひずみを受けるシリコンまたはシリコン
・ゲルマニウムであり、1つの層が、圧縮ひずみを受け
るシリコン・ゲルマニウムであり、引張りを受けるシリ
コン層またはシリコン・ゲルマニウム層で n 型電界効果
トランジスタを形成することができ、圧縮を受けるシリ
コン・ゲルマニウム層で p 型電界効果トランジスタを形
成することができるプレーナ・ヘテロ構造である。複数
の層は、続いて形成される p 型電界効果トランジスタと
n 型電界効果トランジスタの両方に共通のものでよい。
p 型電界効果トランジスタと n 型電界効果トランジスタ
は、CMOS 回路を形成するように相互接続することが
できる。



【特許請求の範囲】

【請求項1】 n型電界効果トランジスタとp型電界効果トランジスタの両方用の層構造において、
半導体基板と、

Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層と、

前記第1の層上にエピタキシャル形成された第2のnドープ $Si_{1-x}Ge_x$ 層と、

前記第2の層上にエピタキシャル形成された第3の非ドープ $Si_{1-x}Ge_x$ 層と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受ける、第4の層と、

前記第4の層上にエピタキシャル形成された第5の緩和 $Si_{1-x}Ge_x$ 層と、

Ge分率yが0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、それによって、圧縮ひずみを受ける、第6の $Si_{1-y}Ge_y$ 層と、

前記第6の層上にエピタキシャル形成された第7の緩和 $Si_{1-x}Ge_x$ 層と、

前記第7の層上にエピタキシャル形成された第8のシリコン層と、

前記第8の層上に形成された第9の誘電材料層とから成る層構造。

【請求項2】さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を含むことを特徴とする請求項1に記載の層構造。

【請求項3】さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第6の層から前記第8の層に至るp型領域を含むことを特徴とする請求項2に記載の層構造。

【請求項4】さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を含むことを特徴とする請求項2に記載の層構造。

【請求項5】さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする請求項2に記載の層構造。

【請求項6】さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を含むことを特徴とする請求項2に記載の層構造。

【請求項7】さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする請求項3に記載の層構造。

【請求項8】さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領

域を相互接続する手段を含むことを特徴とする請求項7に記載の層構造。

【請求項9】電子キャリア・チャネルおよび正孔キャリア・チャネルを形成するプレーナ半導体構造において、単結晶基板と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数の半導体材料層と、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第1の層と、

圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第2の層と、

電流を前記層のうちの前記第1の層を通過させるため、前記層のうちの少なくとも前記第1の層に位置する複数のn型領域と、

電流を前記層のうちの前記第2の層を通過させるため、前記層のうちの少なくとも前記第2の層に位置する複数のp型領域とを備えることを特徴とするプレーナ半導体構造。

【請求項10】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタにおいて、

半導体基板と、

Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層と、

前記第1の層上にエピタキシャル形成された第2のnドープ $Si_{1-x}Ge_x$ 層と、

前記第2の層上にエピタキシャル形成された第3の非ドープ $Si_{1-x}Ge_x$ 層と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が 300K で $2000\text{cm}^2/\text{Vs}$ ないし $2500\text{cm}^2/\text{Vs}$ の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第4の層と、

少なくとも前記第4の層に位置する前記ソース領域および前記ドレイン領域と、

前記第4の層上に形成された第5の誘電材料層と、

前記第5の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

【請求項11】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタにおいて、

半導体基板と、

Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 Si_{1-x}

Ge_x 層と、
 Ge 分率 y が 0.5 ないし 1.0 の範囲であり、 $y-x$ が 0.2 よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、前記第 1 の層上にエピタキシャル形成された第 2 の $Si_{1-y}Ge_y$ 層と、
 少なくとも前記第 2 の層に位置する前記ソース領域および前記ドレイン領域と、
 前記第 2 の層上にエピタキシャル形成された第 3 のシリコン層と、
 前記第 3 の層上に形成された第 4 の誘電材料層と、
 前記第 4 の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

【請求項 12】さらに、 Ge 分率 z が 0.20 ないし 0.5 の範囲である、前記第 2 の層と前記第 3 の層の間にエピタキシャル形成された第 5 の $Si_{1-z}Ge_z$ 層を含むことを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 13】 n 型電界効果トランジスタと p 型電界効果トランジスタを共に備える層構造を形成する方法において、

半導体基板を選択するステップと、
 Ge 分率 x が 0.20 ないし 0.5 の範囲である、第 1 の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、
 第 2 の n ドープ $Si_{1-x}Ge_x$ 層を前記第 1 の層上にエピタキシャル形成するステップと、
 第 3 の非ドープ $Si_{1-x}Ge_x$ 層を前記第 2 の層上にエピタキシャル形成するステップと、
 シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第 3 の層上にエピタキシャル形成され引張りひずみを受ける、第 4 の層を形成するステップと、
 第 5 の緩和 $Si_{1-x}Ge_x$ 層を前記第 4 の層上にエピタキシャル形成するステップと、
 Ge 分率 y が 0.5 ないし 1.0 の範囲であり、 $y-x$ が 0.2 よりも大きく、圧縮ひずみを受ける、第 6 の $Si_{1-y}Ge_y$ 層を形成するステップと、
 第 7 の緩和 $Si_{1-x}Ge_x$ 層を前記第 6 の層上にエピタキシャル形成するステップと、
 第 8 のシリコン層を前記第 7 の層上にエピタキシャル形成するステップと、
 第 9 の誘電材料層を前記第 8 の層上に形成するステップとを含む方法。

【請求項 14】さらに、ゲート電極を形成するために、前記第 9 の誘電材料層上に形成され、リソグラフィによってパターン化された、第 10 のポリシリコン層を形成するステップを含むことを特徴とする請求項 13 に記載の層構造を形成する方法。

【請求項 15】さらに、 p 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前

記第 6 の層から前記第 8 の層に至る p 型領域を形成するステップを含むことを特徴とする請求項 14 に記載の層構造を形成する方法。

【請求項 16】さらに、少なくとも前記第 2 の層に位置する p 型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする請求項 14 に記載の層構造を形成する方法。

【請求項 17】さらに、 n 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前記第 4 の層から前記第 8 の層に至る n 型領域を形成するステップを含むことを特徴とする請求項 14 に記載の層構造を形成する方法。

【請求項 18】さらに、少なくとも前記第 4 の層に位置する n 型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする請求項 14 に記載の層構造を形成する方法。

【請求項 19】さらに、 n 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前記第 4 の層から前記第 8 の層に至る n 型領域を形成するステップを含むことを特徴とする請求項 15 に記載の層構造を形成する方法。

【請求項 20】さらに、CMOS 論理回路を形成するために、前記ゲート電極、前記 p 型領域、および前記 n 型領域を相互接続するステップを含むことを特徴とする請求項 19 に記載の層構造を形成する方法。

【請求項 21】電子キャリア・チャネルおよび正孔キャリア・チャネルを形成するプレーナ半導体構造を形成する方法において、

単結晶基板を選択するステップと、
 シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数のコメンシュレート半導体材料層を形成するステップと、
 電流を前記層のうちの前記第 1 の層を通過させるために、前記層のうちの少なくとも前記第 1 の層に位置する複数の n 型領域を形成するステップと、
 電流を前記層のうちの前記第 2 の層を通過させるために、前記層のうちの少なくとも前記第 2 の層に位置する複数の p 型領域を形成するステップとを含み、
 複数のコメンシュレート層を形成する前記ステップがさらに、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第 1 の層を形成するステップと、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第 2 の層を形成するステップとを含む、ことを特徴とする方法。

【請求項 22】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、
 半導体基板を選択するステップと、

Ge分率 x が0.20ないし0.5の範囲である、第1の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、

第2のnドープ $Si_{1-x}Ge_x$ 層を前記第1の層上にエピタキシャル形成するステップと、

第3の非ドープ $Si_{1-x}Ge_x$ 層を前記第2の層上にエピタキシャル形成するステップと、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が $300K$ で $2000\text{ cm}^2/Vs$ ないし $2500\text{ cm}^2/Vs$ の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第4の層を形成するステップと、少なくとも前記第4の層に位置する前記ソース領域および前記ドレイン領域を形成するステップと、第5の誘電材料層を前記第4の層上に形成するステップと、ゲート電極を前記第5の層上に形成するステップとを含むことを特徴とする方法。

【請求項23】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、半導体基板を選択するステップと、

Ge分率 x が0.20ないし0.5の範囲である、第1の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、

Ge分率 y が0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第2の $Si_{1-y}Ge_y$ 層を前記第1の層上にエピタキシャル形成するステップと、

前記ソース領域および前記ドレイン領域を少なくとも前記第2の層に形成するステップと、

第3のシリコン層を前記第2の層上にエピタキシャル形成するステップと、

第4の誘電材料層を前記第3の層上に形成するステップと、

ゲート電極を第4の層上に形成するステップとを含むことを特徴とする方法。

【請求項24】さらに、Ge分率 z が0.20ないし0.5の範囲である第5の $Si_{1-z}Ge_z$ 層を前記第2の層と前記第3の層の間にエピタキシャル形成するステップを含むことを特徴とする請求項23に記載の電界効果トランジスタを形成する方法。

【請求項25】前記第1の層がさらに、前記第1の層中または前記第1の層より下の寄生電流を防ぐためにn型トランジスタの領域の下にp型領域を含むことを特徴とする請求項1に記載の層構造。

【請求項26】前記第1の層がさらに、前記第1の層中または前記第1の層より下の寄生電流を防ぐためにp型

トランジスタの領域の下にn型領域を含むことを特徴とする請求項1に記載の層構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、超大規模集積（ULSI）回路用のCMOSに関し、詳細には、ひずませたシリコン層およびシリコン・ゲルマニウム層を組み込んだヘテロ構造として製造される高性能のp型およびn型電界効果トランジスタに関する。

【0002】

【従来の技術】論理回路応用例における最も重要な構成単位を形成するSi-CMOSデバイスの性能向上は、極めて重要である。具体的には、将来のULSIチップにとって、高速度および低電力消費量と小型化が必須の要件である。高速性能を抑制する1つの主要な因子は、Siではホールの移動度が低いことである。また、0.1ミクロンないし0.15ミクロンのゲートを含むデバイスは、電子ビーム・リソグラフまたはX線リソグラフィを使用して露光する必要がある。これらの技法は共に、光学リソグラフィに比べてより複雑で高価である。さらに、その規模では、デバイスの信頼性、しきい値電圧の制御、および歩留りの問題がより顕著になる。Si技術に十分に匹敵するが、Siよりも優れた特性を有する材料システムを選択すれば、CMOSの出力遅延積が向上する。0.25ミクロンのゲート長で、0.15ミクロンのSi-CMOSに類似の性能またはそれよりも優れた性能が達成でき、したがって、光学リソグラフィによってゲートを露光することができると考えられる。

【0003】Si技法に匹敵する材料システムの一例は、「Germanium Channel Silicon MOSFET」と題する、本出願人に譲渡された、1991年5月28日に発行された米国特許第5019882号に記載されている。米国特許第5019882号では、改良されたキャリア移動度を有するチャネルが、シリコン基板上で成長するシリコンとゲルマニウムの合金層を備えている。この合金層は、適切な仮像無転位成長を行わせるのに十分な薄さに維持される。この合金層上にシリコン層が形成され、部分的に酸化されて誘電層が形成される。二酸化ケイ素上にゲート領域が形成される。

【0004】1992年10月13日に発行された米国特許第5155571号では、ひずませた超格子構造を有する相補型電界トランジスタが記載されている。米国特許第5155571号では、n型のひずませた Ge_xSi_{1-x} 層をp型トランジスタに使用し、それによって、ホールの移動度を増大させてn型トランジスタ中の電子の移動度に一致させたシリコンCMOSTランジスタ構造が記載されている。さらに、ひずませたSi層および $GeSi$ 合金層と、緩和 Ge_xSi_{1-x} を使用してn型トランジスタ中の電子移動度を増大させ、同時に、

ひずませた Si 層またはひずませた Ge_xSi_{1-x} 合金層を使用して p 型トランジスタ中の正孔移動度を増大させた相補型変調ドープ電界トランジスタが記載されている。 p 型トランジスタ用の領域と n 型トランジスタ用の領域は、それぞれ異なる構造から成るチャネルを含む別々の領域である。

【0005】1988年12月16日に発行された特公昭63-308966(a)号には、シリコン結晶層およびシリコン・ゲルマニウム混合結晶層を同じ組成および膜圧のまま垂直方向に変化させ、ゲート電極の下にある構造の不純物濃度のみを異なるものにするによって基板上に形成された n 型トランジスタおよび p 型トランジスタが記載されている。

【0006】1991年4月9日に発行された米国特許第5006912号では、シリコン・ゲルマニウム・ベース層上で成長するシリコン・エピタキシャル層を備えるエミッタを有するヘテロ接合バイポーラ・トランジスタが記載されている。トランジスタの活性領域は、シリコン/シリコン・ゲルマニウムひずみ格子を有する半導体から成り、格子ひずみは、コメンシュレート成長を維持しながらエミッタ・ベース接合部で所定の価電子帯オフセットをもたらすようなものである。格子ひずみの利点は、ベース中の電子の有効移動度を増大させることである。シリコン・ゲルマニウム・ベース層のゲルマニウム含有量は、12%ないし20%の範囲にある。

【0007】高キャリア移動度を有し、高速動作に適した電界効果トランジスタの他の例は、1993年8月31日に発行された米国特許第5241197号に記載されている。米国特許第5241197号では、ゲルマニウム層に圧縮ひずみを与えるためにゲルマニウム層の下にひずませた制御層が設けられ、ひずみ制御層の組成を使用して、圧縮ひずみを発生させる。ひずませたゲルマニウム層中のキャリア移動度は高い。

【0008】

【発明が解決しようとする課題】本発明の一目的は、 n 型デバイスと p 型デバイスを共に共通のプレーナ構造として形成できるようにする層構造を提供することである。

【0009】本発明の他の目的は、二酸化ケイ素界面に活性チャネルが形成されず、したがって、移動度の低下が防止され、かつ垂直電界が増大する、 n 型デバイスと p 型デバイスを共に提供することである。

【0010】本発明の他の目的は、 p 型チャネルが、対応する n 型デバイスよりもゲートの近くにあり、それによって、 p 型チャネル中の正孔移動度の低さが補償される p 型デバイスを提供することである。

【0011】本発明の他の目的は、電子と正孔が共にひずみを活用し（電子の場合は引張りひずみ、正孔の場合は圧縮ひずみ）、帯域の分割と、より高度な閉込めバリアから利益が得られる、 n 型デバイスおよび p 型デバイ

スを提供することである。

【0012】本発明の他の目的は、低ソース・ドレイン電圧、たとえば、約1.5Vでの動作を可能にするより高い移動度を有する n 型デバイスおよび p 型デバイスを提供することである。

【0013】本発明の他の目的は、電子と正孔の両方に対してほぼ対称的なしきい値電圧を有するように設計できる n 型デバイスおよび p 型デバイスを提供することである。

【0014】本発明の他の目的は、測定欠陥密度が極めて低く、たとえば、エッチ・ピット数で1000個/ cm^2 である、 n 型デバイスおよび p 型デバイスを形成するための、エピタキシャル層構造を提供することである。

【0015】本発明の他の目的は、 n 型電界効果トランジスタと p 型電界効果トランジスタの両方のゲート用の単一で共通のゲート材料および処理ステップを提供することである。

【0016】本発明の他の目的は、 n 型デバイスの場合には引張りひずみを受ける埋込み Si チャネルまたは $SiGe$ チャネルを、 p 型デバイスの場合には圧縮ひずみを受ける埋込み $SiGe$ チャネルを提供することである。

【0017】

【課題を解決するための手段】本発明によって、半導体基板と、 Ge 分率 x が0.20ないし0.5の範囲である、基板上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層と、第1の層上にエピタキシャル形成された第2の n ドープ $Si_{1-x}Ge_x$ 層と、第2の層上にエピタキシャル形成された第3の非ドープ $Si_{1-x}Ge_x$ 層と、 Ge 分率 z が第3の層上にエピタキシャル形成された x よりも少なく、それによって、引張りひずみを受ける、第4のシリコン層または $Si_{1-z}Ge_z$ 層と、第4の層上にエピタキシャル形成された第5の緩和 $Si_{1-x}Ge_x$ 層と、 Ge 分率 y が0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、それによって圧縮ひずみを受ける、第6の $Si_{1-y}Ge_y$ 層と、第6の層上にエピタキシャル形成された第7の緩和 $Si_{1-x}Ge_x$ 層と、第7の層上にエピタキシャル形成された第8のシリコン層と、第8の層上に形成された第9の誘電材料層とから成る、 n 型電界効果トランジスタと p 型電界効果トランジスタを共に形成する方法、ならびに平面であってよい前記形成用の層構造を説明する。各層ごとの Ge 分率 x の値は、正孔および電子用に指定された層における引張りひずみまたは圧縮ひずみを逆転しないかぎり、0.20ないし0.5の範囲でよい。第8の層上に金属層またはポリシリコン層を形成しパターン化して、 n 型電界効果トランジスタおよび p 型電界効果トランジスタのゲートを形成することができる。 n 型トランジスタおよび p 型トランジスタのそれぞれのドレイン領域およびソース領

域は、層構造中のゲートの両側に n 型領域を形成して n 型電界効果トランジスタを形成し、層構造中のゲートの両側に p 型領域を形成して p 型電界効果トランジスタを形成することによって形成することができる。n 型トランジスタと p 型トランジスタを相互接続して CMOS 論理回路を形成することができる。

【0018】本発明はさらに、半導体基板と、Ge 分率 x が 0.20 ないし 0.5 の範囲である、基板上にエピタキシャル形成された第 1 の緩和 $Si_{1-x}Ge_x$ 層と、Ge 分率 y が 0.5 ないし 1.0 の範囲であり、 $y-x$ が 0.2 よりも大きく、それによって、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第 2 の $Si_{1-y}Ge_y$ 層と、第 2 の層上にエピタキシャル形成された第 3 のシリコン層と、第 3 の層上に形成された第 4 の誘電材料層と、第 4 の層上に形成されたゲート電極と、第 2 および第 3 の層中のゲート電極の両側に形成された p 領域とから成る、ソースとドレインとゲートとを有し、チャンネルにおける正孔移動度が高い、方法および p 型チャンネル電界効果トランジスタを提供する。

【0019】本発明はさらに、半導体基板と、 x が 0.25 ないし 0.5 の範囲である、基板上にエピタキシャル形成された第 1 の緩和 $Si_{1-x}Ge_x$ 層と、第 1 の層上にエピタキシャル形成された第 2 の n ドープ $Si_{1-x}Ge_x$ 層と、第 2 の層上にエピタキシャル形成された第 3 の非ドープ $Si_{1-x}Ge_x$ 層と、Ge 分率 z が第 3 の層上にエピタキシャル形成された x よりも少なく、それによって、引張りひずみを受け、それによって、伝導帯が、二重帯中の電子移動度が 300K で $2000\text{cm}^2/\text{Vs}$ ないし $2500\text{cm}^2/\text{Vs}$ の範囲である二重縮退伝導帯および四重縮退伝導帯として分割される、第 4 のシリコン層または $Si_{1-z}Ge_z$ 層と、第 4 の層上に形成された第 5 の誘電材料層と、第 5 の層上に形成されたゲート電極と、第 3 および第 4 の層中のゲート電極の両側に形成された n 領域とから成る、ソースとドレインとゲートとを有し、チャンネルにおける電子移動度が高い、方法および n 型チャンネル電界効果トランジスタを提供する。

【0020】

【実施例】次に、図面を参照すると、図 1 は、CMOS インバータ 9 を形成するように相互接続された電界効果トランジスタ 10 および 11 の平面図を示す。CMOS インバータ 9 の詳細な概略回路を図 5 に示す。

【0021】電界効果トランジスタ 10 は、n 型材料のドレイン領域 12 およびソース領域 14 と、ゲート電極 16 とを有する n 型電界効果トランジスタでよい。電界効果トランジスタ 11 は、p 型材料のドレイン領域 13 およびソース領域 15 と、ゲート電極 17 とを有する p 型電界効果トランジスタでよい。ゲート電極 16 および 17 は、金属でも、p 型材料をドーピングしポリシリコンでもよい。ゲート電極 16 は上部表面 18 を有し、ゲート電極 17 は上部表面 19 を有する。電界効果トラン

ジスタ 10 および 11 は、たとえば、シリコンでも、ゲルマニウムでも、シリコン・ゲルマニウムでも、それらの合金でもよい半導体基板 20 上に形成される。基板 20 は、上部領域が、注入された酸素 (SIMOX) によって分離される、ウェハでよい。基板 20 は、図 2 に示した基板 20 の上部表面 21 上に形成されたプレーナ・ヘテロ構造 22 を有する。プレーナ・ヘテロ構造 22 は、相互にエピタキシャルであり、あるいは仮像である基本的にプレーナの複数の層 23 から成る。ヘテロ構造 22 上の頂部層 24 は、大気にさらされ、上部表面 25 を有する二酸化ケイ素などの誘電体でよい。

【0022】電界効果トランジスタ 10 および 11 を図 1 に示したが、n 型または p 型の電界効果トランジスタ 6 ないし 9 など多数のトランジスタをさらに基板 20 上に形成することができる。図 2 に詳細に示した複数の層 23 から成るプレーナ・ヘテロ構造 22 は、すべての電界効果トランジスタのゲート電極の下を延び、電界効果トランジスタの間の領域にも存在する。すなわち、すべてのトランジスタに対して共通のプレーナ・ヘテロ構造 22 が使用される。選択されたトランジスタ間の絶縁は、マスクを介した反応性イオン・エッチングなどによってトレンチ 28 を形成することなどにより、層 23 の導電性を遮断することによって得ることができる。正方形または長方形の断面を有することができるトレンチ 28 には、トレンチ上またはトレンチを横切って相互接続配線を通させるために二酸化ケイ素などの誘電体 29 を充填することができる。

【0023】図 2 は、図 1 の線 2-2 に沿った断面図である。図 1 および 2 に示したように、基板 20 は上部表面 21 を有し、上部表面上に、エピタキシャル関係の層 34、36、38、32、40、30、42、および 44 から成るプレーナ・ヘテロ構造 22 が形成されている。プレーナ・ヘテロ構造 22 上には、ゲート電極 16 および 17 用のゲート酸化物として機能する層 24 があり、ゲート電極間の領域にはより厚い電界酸化物を形成し、あるいは付着させることができる。プレーナ・ヘテロ構造 22 では、ひずみを使用してデバイスの性能を向上させる。プレーナ・ヘテロ構造 22 の固有の特徴は、層が基板全体にわたって平面の上部表面および下部表面を有し、すなわち、p 型電界効果トランジスタ 11 または PMOS デバイスと、n 型電界効果トランジスタ 11 または NMOS デバイスにエッチングも選択的成長も必要とされないことである。プレーナ・ヘテロ構造 22 は、標準サブミクロン Si-CMOS 処理に適合する媒体を提供する。

【0024】標準 Si-MOS 技法のようなドーピングではなく、プレーナ・ヘテロ構造 22 の特定の層のひずみを調整することによって、p 型電界効果トランジスタ 10 および n 型電界効果トランジスタ 11 のしきい値電圧を調整することができる。層中のひずみで達成させる

電圧調整に加えて、ドーピングによる次のしきい値電圧調整も使用することができる。プレーナ・ヘテロ構造22では、0.3Vないし0.5Vの範囲の対称的なしきい値電圧を同じプレーナ・ヘテロ構造設計で達成することができる。たとえば、ゲート電極16によって示したようにP⁺ポリシリコン・ゲートを使用することによって、n型電界効果トランジスタ・ゲート電極16とp型電界効果トランジスタ・ゲート電極17の両方を同時に形成し、したがって、1リソグラフィ・ステップだけ節約することができる。n型電界効果トランジスタ10およびp型電界効果トランジスタ11のトランスコンダクタンスも、ほぼ同じになるように設計することができる。n型電界効果トランジスタおよびp型電界効果トランジスタのほぼ同じトランスコンダクタンスは、p型チャンネルが、n型チャンネルに比べてゲート電極16および17により近い層30にあるプレーナ・ヘテロ構造22を使用して、層30にあるp型チャンネルでの正孔移動度よりも高い、層32にあるn型チャンネルでの電子移動度を補償することによって達成される。

【0025】図2を参照すると、まず、Ge組成が20%ないし50%の範囲である緩和SiGeバッファ層34を基板20の上部表面21上で成長させている。バッファ層34は最初、ドーピングなしで緩和状態にすることができ、シリコンが70%でゲルマニウムが30%の組成を有することができる。

【0026】層34を形成した後、層34の頂部またはその近くに、厚さが100nmないし200nmの範囲のp型領域26を形成する。p型領域26の電気的に活性のアクセプタの注入量は、続いて形成すべきn型デバイスならびに関連するドレイン領域12およびソース領域14の下で 1 cm^{-2} ないし $2 \times 10^{12}\text{ cm}^{-2}$ の範囲である。領域26はたとえば、イオン注入とそれに続くアニーリングによって形成することができる。領域26は、適当にパターン化されたマスクによって形成することができる。p型領域26は、n型トランジスタのソース接点とドレイン接点の間にある層34または基板20を寄生電流が流れるのを妨げるように機能する。

【0027】さらに、層34を形成した後、層34の頂部またはその近くに、厚さが100nmないし200nmの範囲のn型領域27を形成する。n型領域27の電気的に活性のドナのドーズは、続いて形成すべきp型デバイスならびに関連するドレイン領域およびソース領域の下で 1 cm^{-2} ないし $2 \times 10^{12}\text{ cm}^{-2}$ の範囲である。領域27はたとえば、イオン注入とそれに続くアニーリングによって形成することができる。領域27は、適当にパターン化されたマスクによって形成することができる。n型領域27は、p型トランジスタのソース接点とドレイン接点の間にある層34または基板20を寄生電流が流れるのを妨げるように機能する。

【0028】引張りひずみを受けるSi層またはSi

$_{1-z}\text{Ge}_z$ 層32での電子移動が好ましいものになるほど価電子帯および導電帯を湾曲させるために、緩和層34の上部表面上でnドープ緩和SiGe薄層36を成長させる。

【0029】電子および正孔が閉じ込められるのは、それぞれの層での引張りひずみおよび圧縮ひずみの結果である。層の上部表面および下部表面の平面における全体的な格子定数は、図2では層34である層の主要組成によって決定される。電子チャンネル層32は、Ge組成をまったく持たないか、あるいはGe組成が低く、引張りひずみを受けるが、正孔チャンネル層30は、Ge組成が高く、圧縮ひずみを受ける。ひずみは、純粋なGeが、Siの格子定数よりも約4%だけ大きな格子定数を有するために発生する。

【0030】層36中のドーパントをSi層32から分離して層32において高電子移動度を維持するために、nドープ層36上で薄い緩和非ドープSiGe層38を成長させる。層38は、0nmないし4nmの範囲の厚さを有することができる。引張りひずみを受け、n型電界効果トランジスタ用のn型チャンネルとして働くSi層または $\text{Si}_{1-z}\text{Ge}_z$ 層32を層38上で成長させる。Si層または $\text{Si}_{1-z}\text{Ge}_z$ 層32上で薄い緩和SiGe層40を成長させる。層38および40は、ゲルマニウムが20%ないし50%の範囲でよいシリコンとゲルマニウムの同じ組成を有することができる。シリコン層または $\text{Si}_{1-z}\text{Ge}_z$ 層32に引張りひずみを与え、SiGe層38および40を緩和する。

【0031】p型電界効果トランジスタ用のp型チャンネルとして働く、圧縮ひずみを受けるSiGe層30を層40上で成長させる。層30において、ゲルマニウムの組成は、50%ないし100%の範囲であり、たとえば、80%でよい。

【0032】代替実施例では、層30は、層内で勾配を付けられ、バッファ層34により近い層の下部での約0.75Geから、層の上部での約0.5Geまで減少する、ゲルマニウム含有量を有することができる。その結果得られる層30中の勾配付きひずみと勾配付き価電子帯オフセットは、上部界面よりも平滑な底部界面のより近くに正孔を位置決めする助けとなり、その結果、正孔の移動度が向上する。

【0033】他の薄い緩和SiGe層42を層30上で成長させる。層42は、層40と同じ組成を有することができる。層30との界面でひずみを与え、それによって、価電子帯をジャンプさせ、その結果、正孔を層30に閉じ込めるように働く。層30は圧縮ひずみを受ける。シリコン・キャップ層44自体の上部表面上または上部表面中で良好な粘着力をもつゲート酸化物が成長するように、シリコン・キャップ層44を層42上で成長させる。5nmないし10nmの厚さの二酸化ケイ素層24をシリコン44層上に形成する。二酸化ケイ素層2

4は、高圧熱酸化を使用して600°Cないし700°Cの温度で成長させることも、化学蒸着によって650°Cよりも低い温度で付着させることもできる。P+ポリシリコン・ゲート16を層24上で成長させる。P+ポリシリコン・ゲート16は、最初はブランケット層であってよく、次いで、ゲートを形成するようにリソグラフィによってパターン化することができる。ゲート16は、完全自己整列プロセスと0.1ミクロンないし0.25ミクロンのゲート長を使用し、窒化物側壁スペーサとケイ化物またはサリサイドの金属被膜を使用することによって、形成することができる。

【0034】層30および32は、3nmないし7nmの範囲の厚さを有することができる。層30と層32の間の層40は、0nmないし5nmの範囲の厚さを有することができる。層36、38、42は、3nmないし5nmの範囲の厚さを有することができる。シリコン層44は、0.5nmないし1.5nmの範囲の厚さを有することができる。層44は、厚すぎる場合、n型デバイス用の寄生電流チャネルとなる。層46は、5nmないし10nmの範囲でよい。

【0035】引張りひずみを受けるSiまたはSi_{1-x}Ge_xを緩和SiGe層上に形成し、圧縮ひずみを受けるSiGe層を緩和SiまたはSiGe上に形成することができる。Si層またはSi_{1-x}Ge_x層32とSiGe層30の両方の伝導帯および価電子帯を著しく変化させることができる。Si層またはSi_{1-x}Ge_x層32では、引張りひずみで、最初の六重縮退伝導帯が二重伝導帯および四重伝導帯として分割される。(軽面内質量をもつ)下降された二重帯を移動する電子は、標準Si・n型チャネル電界効果トランジスタ構造よりもずっと高い移動度を有する。下降された二重帯では、このより高い移動度は、300Kで2000cm²/Vsないし2500cm²/Vs、77Kで10000cm²/Vsないし15000cm²/Vsの範囲でよい。これに対して、従来型のn型トランジスタは、300Kで約600cm²/Vs、77Kで約1500cm²/Vsの移動度を有する。電子移動特性の詳細な議論は、引用によって本明細書に合体した「Electron transport properties of Si/SiGe heterostructure: measurements and device implications」(Appl. Phys. Lett. 63 (5) 2, 1993年8月, pp660ないし662)と題する刊行物に記載されている。

【0036】圧縮ひずみを受けるSiGe層30の価電子帯を重正孔帯および軽正孔帯として分割する。したがって、特に高Ge含有量のSiGe、または場合によっては純粋なGe中のチャネルに沿った正孔の運動に関する、軽質量をもつ上部価電子帯中の正孔移動はSi・p型電界効果トランジスタよりも1桁高くなる可能性がある正孔移動度を得る。占有された正孔帯中の正孔移動度は、300Kでは600cm²/Vsないし1100

cm²/Vsの範囲であり、77Kでは2000cm²/Vsないし5000cm²/Vsの範囲である。これらの範囲は、厚さ4nmである、シリコンが70%でゲルマニウムが30%の組成の場合の層30で測定したものである。測定された移動度は、Si・p型電界効果トランジスタの場合よりも係数が5だけ高い。

【0037】図3は、層32の伝導帯の底部での電子のエネルギーを、正のゲート電圧V_gをもつゲート電極16に対する距離の関数として示すグラフである。図3では、縦座標は、伝導帯の底部での単一の電子のエネルギーを表し、横座標は、図2に示したゲート電極16の下の垂直方向の距離を表す。単一の電子のエネルギーは、曲線56によって示されている。基準線58は、層32中のフェルミ・エネルギーを表す。図3に示すように、曲線部60は、層32中の電子のエネルギーがフェルミ・エネルギーよりも低く、したがって、伝導層32中に電子が存在することを示している。曲線部62は、層36中のn型ドーピングによる伝導帯の湾曲を示す。曲線62は、p型領域26を反映するように調整されてはいない。曲線部64は、酸化層24の下にある頂部シリコン・キャップ層である層44中の電子のエネルギーを示す。層44は、曲線部60によって示された電子エネルギーを有する層32の電子移動度よりも低い電子移動度を有する。電流が、層32によって形成されたn型チャネルに平行な寄生チャネルである層44を流れるのを防ぐために、層32中の電子の電子エネルギーは、層44中の電子のエネルギーよりも低くすべきである。

【0038】図4は、層30の価電子帯の頂部での電子のエネルギーを、ゲート・バイアスV_gが負であるゲート電極16の下の図2に示した垂直方向の距離の関数として示すグラフである。図4では、縦座標は、伝導帯の頂部での単一の電子のエネルギーを表し、横座標は、ゲート電極16に対する垂直方向の距離を表す。伝導帯の頂部での電子のエネルギーは、曲線70によって示されている。曲線70は、p型領域26を反映するように調整されてはいない。基準線72は、価電子帯中のフェルミ・エネルギーE_Fを表す。曲線部74は、基準線72によって示されたフェルミ・エネルギーよりも大きく、したがって、正孔を伝導させる、層30中の価電子帯の頂部での電子エネルギーに対応する。

【0039】図3および図4によれば、正のゲート電圧の場合、ドープ層36から供給される電子が、層32で伝導する。ゲート電極16が負の電圧V_gを有する場合、層30で正孔が伝導する。したがって、ドレイン領域およびソース領域がすべての層30、32、34、36、38、40、42、44を相互接続する場合、ゲート電極16のそれぞれの側にp型またはn型のドレイン領域およびソース領域を形成することによって、n型電界効果トランジスタまたはp型電界効果トランジスタを形成することができる。図2を参照すると、層32中の

電子移動および層30中の正孔移動がシリコン層44および層24から、すなわち、二酸化ケイ素界面で、空間的に除去されることによって、信頼性が高まり、すなわち、二酸化ケイ素層24へのキャリア注入が低減され、高キャリア密度での移動度が高まる利点がもたらされる。 Si/SiO_2 界面47の場合、電子の移動度が、界面を横切る垂直電界の関数として低下することが分かっている。しかし、提案した構造では、電子の移動度が電子の関数として増加し、正孔の移動度がゲート・バイアス範囲 V_g 全体にわたってほぼ一定のままであると予想される。プレーナ・ヘテロ構造22の固有の特徴は、格子の不一致によるひずみを使用する層シーケンスによって、p型電界効果トランジスタおよびn型電界効果トランジスタのしきい値電圧の調整と、n型電界効果トランジスタおよびp型電界効果トランジスタの高電子移動度および高正孔移動度の調整が可能になることである。キャップ・シリコン層44により、熱酸化によって、ゲート酸化物、または層44にうまく接着する化学蒸着(CVD)酸化物を形成することができる。プレーナ・ヘテロ構造22では、ゲート電極16上の電圧からの垂直電界の関数として移動度が低下することはない。なぜなら、電子が層32で移動し、正孔が層30で移動するからである。単一のp+ポリシリコン・ゲートをp型電界効果トランジスタとn型電界効果トランジスタの両方に使用することができ、かつ付着させて同時にパターン化することができる。

【0040】プレーナ・ヘテロ構造22は、ひずませた Si/SiGe ヘテロ構造に基づいて高性能CMOSデバイスを製作する際に使用することができる。プレーナ・ヘテロ構造22は、高周波数および低電力消費量で動作するULSI論理チップで使用することができる。周波数が高くなるのは、チャネル、すなわち、層30および32における電子および正孔の移動度が高いことと、平均キャリア速度が高いことの結果である。電力消費量が低くなるのは、キャリア速度を飽和させるのに必要な横電界が低いからである。

【0041】n型電界効果トランジスタとp型電界効果トランジスタの間の絶縁は、デバイス間のトレンチングによって達成することができる。トレンチングは、反応性イオン・エッチング(RIE)によって行うことができる。典型的な実施例では、イオン注入によって成長させたソース・インプラントおよびドレイン・インプラントがゲート電極のエッジに達するように、p型電界効果トランジスタおよびn型電界効果トランジスタが、ゲート電極に対して自己整列する。CMOS回路と同様に、基本ブロックは、一方のデバイスのドレインが他方のデバイスのソースに接続され、両方のゲートが相互に接続された、簡単なインバータとなる。他の論理ゲートは、NAND、NOR、フリップ・フロップなどに構成することができる。

【0042】図5を参照すると、CMOSインバータ9の概略回路が示されている。ゲート電極16および17は、インバータ9に入力を提供するためにリード線77を介して相互に結合されている。電界効果トランジスタ10および11のドレイン領域12および13はそれぞれ、出力を提供するためにリード線78を介して相互に結合されている。トランジスタ11のソースは、電圧 V_{DD} を供給するためにリード線79を介して結合されている。トランジスタ10のソースは、電位または他の電源を接地させるためにリード線80を介して結合されている。トランジスタ10は、層32に形成されたn型チャネルを有し、トランジスタ11は、層30に形成されたp型チャネルを有する。

【0043】図6は、電界効果トランジスタ82を示す本発明の第2の実施例の平面図である。電界効果トランジスタ82は、ゲート電極83と、ドレイン電極84と、ソース電極85とを有する。電界効果トランジスタ82は、図7に詳細に示したプレーナ・ヘテロ構造88として形成されている。図7は、図6の線7-7に沿った断面図である。図7においては、図1および図2に対応する構造および機能に同様な参照符号が使用してある。図7は、複数のn型チャネル電界効果トランジスタを形成するのに使用される、複数の層89の断面図を示す。ここでは、図を簡単にするために、1個の電界効果トランジスタ82しか示していない。

【0044】図7は、層32へのイオン注入によって、形成され、たとえば、ゲートに整列する、n型のドレイン領域91とソース領域92とを有するn型電界効果トランジスタ82を示す。半導体基板20は、その上部表面21上にエピタキシャル形成された第1の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層34を有する。ここで、xは0.20ないし0.5の範囲である。第2のnドープ $\text{Si}_{1-x}\text{Ge}_x$ 層36は、層34上にエピタキシャル形成されている。層36を形成する前に、将来のドレイン領域91およびソース領域92の下にp型領域26を形成し、層34または基板20を介してドレイン領域91からソース領域92へ、あるいはその逆に、寄生電流が流れるのを防ぐことができる。第3の非ドープ $\text{Si}_{1-x}\text{Ge}_x$ 層38は、層36上にエピタキシャル形成されている。第4のシリコン層、またはGe分率zがxよりも小さな $\text{Si}_{1-z}\text{Ge}_z$ 層32は、第3の層38上にエピタキシャル形成され、それによって、第4の層32が引張りひずみを受け、それによって、伝導帯が二重縮退伝導帯および四重縮退伝導帯として分割される。ここで、二重帯の電子移動度は、300Kで $2000\text{ cm}^2/\text{Vs}$ ないし $2500\text{ cm}^2/\text{Vs}$ の範囲である。二酸化ケイ素など、第5の誘電材料層24は、第4の層32の上部表面上48に形成されている。ゲート電極83は、第5の層24上に形成されている。n型領域91および92は、図7に示したように層32中のゲート電極82の両側に形成されている。層

44など薄いシリコン層を層32と層24の間に介在させて層24とのより良好な界面を提供することができる。

【0045】図8は、第3の実施例を示す図6の線7-7に沿った断面図である。図8においては、図1、図2、および図6の装置に対応する構造および機能に同様な参照符号が使用されている。電界効果トランジスタ96は、ゲート電極97と、ドレイン電極98と、ソース電極99とを有するp型のものである。ドレイン電極98は、p型であるドレイン電極105に電気接触し、ソース電極99は、p型であるソース領域106に電気接触する。ドレイン領域105およびソース領域106は、層44を介して層30内へ延びる。ドレイン領域105およびソース領域106は、ゲートに整列し、イオン注入によって形成することができる。電界効果トランジスタ96は、チャンネル100におけるソース電極106とドレイン電極105の間の正孔移動度が高い。

【0046】電界効果トランジスタ96は、複数の層103を備えるプレーナ・ヘテロ構造102で形成されている。電界効果トランジスタ96は、半導体基板20と、基板20上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層34とを備えている。ここで、 x は0.20ないし0.5の範囲である。第2の $Si_{1-y}Ge_y$ 層30は、第1の層34上にエピタキシャル形成されている。ここで、 Ge 分率 y は0.5ないし1の範囲であり、 $1-x$ は0.2よりも大きく、それによって、第2の層30は、圧縮ひずみを受け、その結果、正孔が第2の層に閉じ込められる。第3のシリコン層44は、第2の層30上にエピタキシャル形成されている。酸化ケイ素など、第4の誘電材料層24は、第3の層44上に形成されている。ゲート電極97は、第4の層24上に形成されている。ドレイン領域105およびソース領域106は、第2の層30および第3の層44中のゲート電極97の両側に形成されている。ドレイン領域105およびソース領域106の下の層34中に層34の上部表面からn型領域27を形成して、層34または基板20中のドレイン領域105とソース領域106の間に寄生電流が流れるのを防ぐことができる。n型領域27は、層34を形成した後に、マスクを介した拡散またはイオン注入によって形成することができる。

【0047】p型電界効果トランジスタおよびn型電界効果トランジスタ用の方法、ならびにp型電界効果トランジスタおよびn型電界効果トランジスタ用のひずませた Si 層および Si/Ge 層を含むプレーナ・ヘテロ構造を例示したが、当業者には、添付の特許請求の範囲によってのみ制限される本発明の広い範囲から逸脱せずに修正および変形が可能であることが明らかになる。

【0048】まとめとして、本発明の構成に関して以下の事項を開示する。

【0049】(1) n型電界効果トランジスタとp型電

界効果トランジスタの両方用の層構造において、半導体基板と、 Ge 分率 x が0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層と、前記第1の層上にエピタキシャル形成された第2のnドープ $Si_{1-x}Ge_x$ 層と、前記第2の層上にエピタキシャル形成された第3の非ドープ $Si_{1-x}Ge_x$ 層と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受ける、第4の層と、前記第4の層上にエピタキシャル形成された第5の緩和 $Si_{1-x}Ge_x$ 層と、 Ge 分率 y が0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、それによって、圧縮ひずみを受ける、第6の $Si_{1-y}Ge_y$ 層と、前記第6の層上にエピタキシャル形成された第7の緩和 $Si_{1-x}Ge_x$ 層と、前記第7の層上にエピタキシャル形成された第8のシリコン層と、前記第8の層上に形成された第9の誘電材料層とから成る層構造。

(2) さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を含むことを特徴とする上記(1)に記載の層構造。

(3) さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第6の層から前記第8の層に至るp型領域を含むことを特徴とする上記(2)に記載の層構造。

(4) さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を含むことを特徴とする上記(2)に記載の層構造。

(5) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする上記(2)に記載の層構造。

(6) さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を含むことを特徴とする上記(2)に記載の層構造。

(7) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする上記(3)に記載の層構造。

(8) さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領域を相互接続する手段を含むことを特徴とする上記(7)に記載の層構造。

(9) 電子キャリア・チャンネルおよび正孔キャリア・チャンネルを形成するプレーナ半導体構造において、単結晶基板と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数の半導体材料層と、引張りひずみを受け、それによって、伝導帯を

フェルミ準位よりも低いものにする、前記層のうちの少なくとも第1の層と、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第2の層と、電流を前記層のうちの前記第1の層を通過させるため、前記層のうちの少なくとも前記第1の層に位置する複数のn型領域と、電流を前記層のうちの前記第2の層を通過させるため、前記層のうちの少なくとも前記第2の層に位置する複数のp型領域とを備えることを特徴とするプレーナ半導体構造。

(10) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタにおいて、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和Si_{1-x}Ge_x層と、前記第1の層上にエピタキシャル形成された第2のnドープSi_{1-x}Ge_x層と、前記第2の層上にエピタキシャル形成された第3の非ドープSi_{1-x}Ge_x層と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が300Kで2000cm²/Vsないし2500cm²/Vsの範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第4の層と、少なくとも前記第4の層に位置する前記ソース領域および前記ドレイン領域と、前記第4の層上に形成された第5の誘電材料層と、前記第5の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

(11) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタにおいて、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和Si_{1-x}Ge_x層と、Ge分率yが0.5ないし1.0の範囲であり、y-xが0.2よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、前記第1の層上にエピタキシャル形成された第2のSi_{1-y}Ge_y層と、少なくとも前記第2の層に位置する前記ソース領域および前記ドレイン領域と、前記第2の層上にエピタキシャル形成された第3のシリコン層と、前記第3の層上に形成された第4の誘電材料層と、前記第4の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

(12) さらに、Ge分率zが0.20ないし0.5の範囲である、前記第2の層と前記第3の層の間にエピタキシャル形成された第5のSi_{1-z}Ge_z層を含むことを特徴とする上記(1)に記載の電界効果トランジスタ。

(13) n型電界効果トランジスタとp型電界効果トランジスタを共に備える層構造を形成する方法において、半導体基板を選択するステップと、Ge分率xが0.20ないし0.5の範囲である、第1の緩和Si_{1-x}Ge_x

層を前記基板上にエピタキシャル形成するステップと、第2のnドープSi_{1-x}Ge_x層を前記第1の層上にエピタキシャル形成するステップと、第3の非ドープSi_{1-x}Ge_x層を前記第2の層上にエピタキシャル形成するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され引張りひずみを受ける、第4の層を形成するステップと、第5の緩和Si_{1-x}Ge_x層を前記第4の層上にエピタキシャル形成するステップと、Ge分率yが0.5ないし1.0の範囲であり、y-xが0.2よりも大きく、圧縮ひずみを受ける、第6のSi_{1-y}Ge_y層を形成するステップと、第7の緩和Si_{1-x}Ge_x層を前記第6の層上にエピタキシャル形成するステップと、第8のシリコン層を前記第7の層上にエピタキシャル形成するステップと、第9の誘電材料層を前記第8の層上に形成するステップとを含む方法。

(14) さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を形成するステップを含むことを特徴とする上記(13)に記載の層構造を形成する方法。

(15) さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第6の層から前記第8の層に至るp型領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(16) さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(17) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(18) さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(19) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする上記(15)に記載の層構造を形成する方法。

(20) さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領域を相互接続するステップを含むことを特徴とする上記(19)に記載の層構造を形成する方法。

(21) 電子キャリア・チャンネルおよび正孔キャリア・

チャンネルを形成するプレーナ半導体構造を形成する方法において、単結晶基板を選択するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数のコメンシュレート半導体材料層を形成するステップと、電流を前記層のうちの前記第 1 の層を通過させるために、前記層のうちの少なくとも前記第 1 の層に位置する複数の n 型領域を形成するステップと、電流を前記層のうちの前記第 2 の層を通過させるために、前記層のうちの少なくとも前記第 2 の層に位置する複数の p 型領域を形成するステップとを含み、複数のコメンシュレート層を形成する前記ステップがさらに、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第 1 の層を形成するステップと、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第 2 の層を形成するステップとを含む、ことを特徴とする方法。

(22) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、半導体基板を選択するステップと、Ge 分率 x が 0.20 ないし 0.5 の範囲である、第 1 の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、第 2 の n ドープ $Si_{1-x}Ge_x$ 層を前記第 1 の層上にエピタキシャル形成するステップと、第 3 の非ドープ $Si_{1-x}Ge_x$ 層を前記第 2 の層上にエピタキシャル形成するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第 3 の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が 300K で $2000\text{cm}^2/\text{Vs}$ ないし $2500\text{cm}^2/\text{Vs}$ の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第 4 の層を形成するステップと、少なくとも前記第 4 の層に位置する前記ソース領域および前記ドレイン領域を形成するステップと、第 5 の誘電材料層を前記第 4 の層上に形成するステップと、ゲート電極を前記第 5 の層上に形成するステップとを含むことを特徴とする方法。

(23) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、半導体基板を選択するステップと、Ge 分率 x が 0.20 ないし 0.5 の範囲である、第 1 の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、Ge 分率 y が 0.5 ないし 1.0 の範囲であり、 $y-x$ が 0.2 よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第 2 の $Si_{1-y}Ge_y$ 層を前記第 1 の層上にエピタキシャル形成するステップと、前記ソース領域および前記ドレイン領域を少なくとも前記第 2 の層に形成するステップと、第 3 のシリコン層を前記第 2 の層上にエピタキシャル形成する

ステップと、第 4 の誘電材料層を前記第 3 の層上に形成するステップと、ゲート電極を第 4 の層上に形成するステップとを含むことを特徴とする方法。

(24) さらに、Ge 分率 z が 0.20 ないし 0.5 の範囲である第 5 の $Si_{1-z}Ge_z$ 層を前記第 2 の層と前記第 3 の層の間にエピタキシャル形成するステップを含むことを特徴とする上記 (23) に記載の電界効果トランジスタを形成する方法。

(25) 前記第 1 の層がさらに、前記第 1 の層中または前記第 1 の層より下の寄生電流を防ぐために n 型トランジスタの領域の下に p 型領域を含むことを特徴とする上記 (1) に記載の層構造。

(26) 前記第 1 の層がさらに、前記第 1 の層中または前記第 1 の層より下の寄生電流を防ぐために p 型トランジスタの領域の下に n 型領域を含むことを特徴とする上記 (1) に記載の層構造。

【図面の簡単な説明】

【図 1】本発明の一実施例の平面図である。

【図 2】図 1 の線 2-2 に沿った断面図である。

【図 3】伝導帯の底部での電子のエネルギーを、正のゲート・バイアス V_g をもつゲート電極に対する距離の関数として示すグラフである。

【図 4】価電子帯の頂部での電子のエネルギーを、負のゲート・バイアス V_g をもつゲート電極に対する距離の関数として示すグラフである。

【図 5】図 1 に示した CMOS インバータ 9 の概略回路図である。

【図 6】本発明の第 2 の実施例の平面図である。

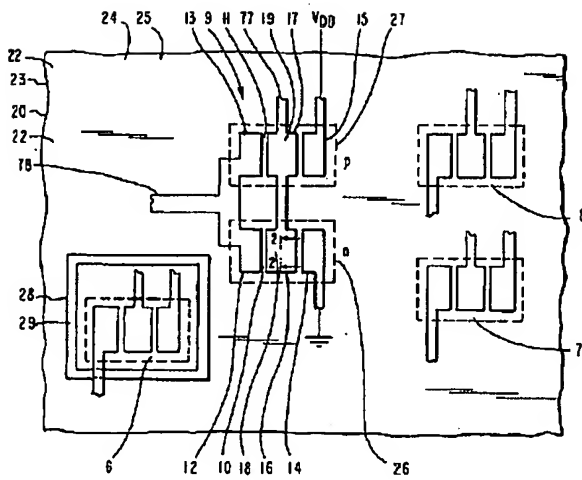
【図 7】第 2 の実施例を示す図 6 の線 7-7 に沿った断面図である。

【図 8】第 3 の実施例を示す図 6 の線 7-7 に沿った断面図である。

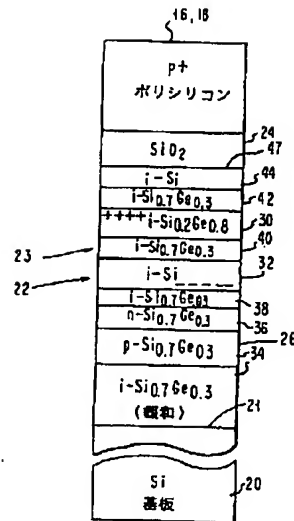
【符号の説明】

- 9 CMOS インバータ
- 10 電界効果トランジスタ
- 12 ドレイン領域
- 14 ソース領域
- 16 ゲート電極
- 20 半導体基板
- 21 上部表面
- 22 プレーナ・ヘテロ構造
- 24 頂部層
- 26 p 型領域
- 27 n 型領域
- 28 トレンチ
- 32 引張りひずみを受ける Si 層または $Si_{1-z}Ge_z$ 層
- 34 緩和層
- 36 薄い n ドープ緩和 $SiGe$ 層

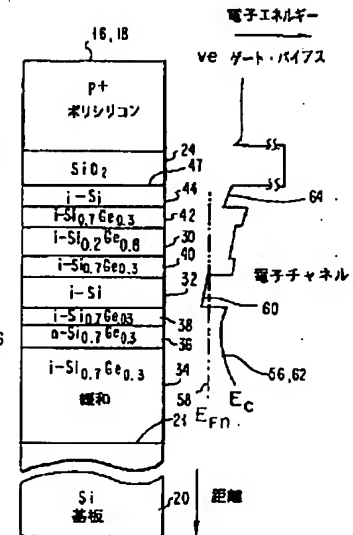
【図1】



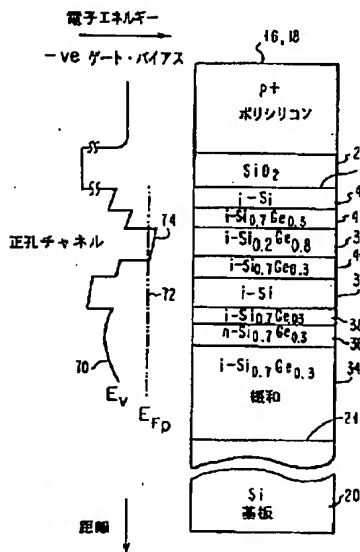
【図2】



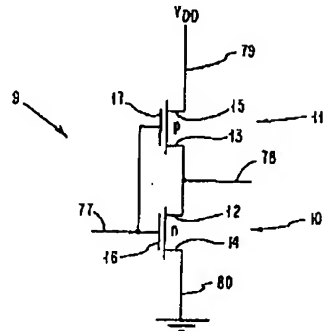
【図3】



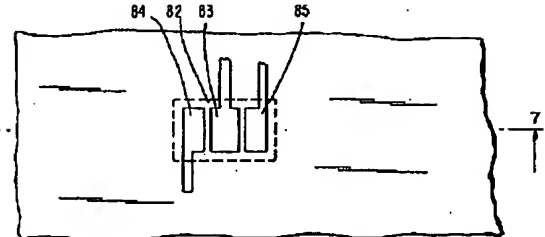
【図4】



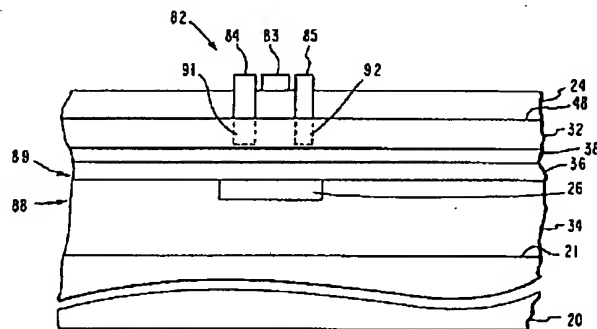
【図5】



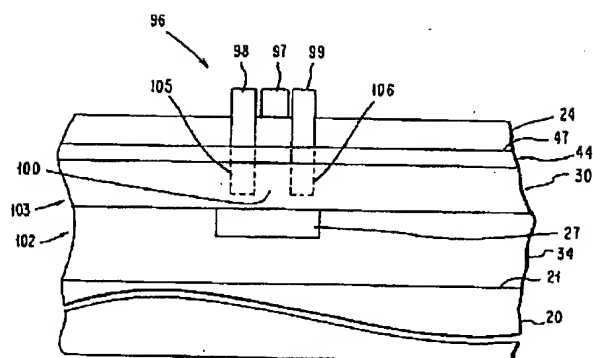
【図6】



【図7】



【図 8】



フロントページの続き

(72)発明者 フランク・スターン
 アメリカ合衆国10570 ニューヨーク州ブ
 レザントヴィル ロビンズ・ロード 6